

10/511720

JP03/05031

日 本 国 特 許 庁
JAPAN PATENT OFFICE

21.04.03

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 4月22日

出 願 番 号

Application Number:

特願2002-118633

[ST.10/C]:

[JP2002-118633]

REC'D 13 JUN 2003

WIPO

PCT

出 願 人

Applicant(s):

大塚 寛治

独立行政法人産業技術総合研究所

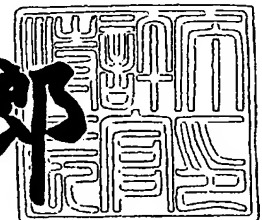
PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

BEST AVAILABLE COPY

2003年 5月27日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3038921

【書類名】 特許願

【整理番号】 ERI-02-01

【提出日】 平成14年 4月22日

【あて先】 特許庁長官殿

【国際特許分類】 H01P 3/00
H01L 27/00
H03K 19/00

【発明の名称】 高速信号伝送システム

【請求項の数】 13

【発明者】

 【住所又は居所】 東京都東大和市湖畔2-1074-38

 【氏名】 大塚 寛治

【発明者】

 【住所又は居所】 東京都国分寺市西町2-38-4

 【氏名】 宇佐見 保

【発明者】

 【住所又は居所】 茨城県つくば市梅園1丁目1番1 中央第2 独立行政
法人産業技術総合研究所内

 【氏名】 樋口 哲也

【発明者】

 【住所又は居所】 茨城県つくば市梅園1丁目1番1 中央第2 独立行政
法人産業技術総合研究所内

 【氏名】 高橋 栄一

【発明者】

 【住所又は居所】 茨城県つくば市梅園1丁目1番1 中央第2 独立行政
法人産業技術総合研究所内

 【氏名】 河西 勇二

【発明者】

 【住所又は居所】 茨城県つくば市梅園1丁目1番1 中央第2 独立行政

法人産業技術総合研究所内

【氏名】 村川 正宏

【特許出願人】

【識別番号】 598042633

【氏名又は名称】 大塚 寛治

【特許出願人】

【識別番号】 301021533

【氏名又は名称】 独立行政法人産業技術総合研究所

【代理人】

【識別番号】 100106851

【弁理士】

【氏名又は名称】 野村 泰久

【電話番号】 03-3238-0158

【その他】

平成13年度新エネルギー・産業技術総合開発機構「次世代半導体材料・プロセス基盤技術開発」委託研究、産業活力再生特別措置法第30条の適用を受けるもの。

【手数料の表示】

【予納台帳番号】 041391

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0111977

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 高速信号伝送システム

【特許請求の範囲】

【請求項1】 クロック周波数がGHz帯の高速なLSIチップと接続され、送端、終端等の電子回路全体に渡るトランジスタの論理、メモリ回路などを差動入力、差動出力で構成し、かつ分岐配線がない、上記LSIチップと信号のやり取りをするチップ外線路を有する高速信号伝送システムにおいて、

上記チップ外線路の送端または終端側の一方で基準電位を確認するため電源またはグランドへの接続を有するが、該基準電位を確認した送端または終端側の反対側の終端または送端では電源またはグランドへの接続を有さないことを特徴とする高速信号伝送システム。

【請求項2】 前記システムの電力供給線は電源・グランドペア線路となっている構造で、それぞれの最小論理要素、メモリ要素回路の1要素回路あたり、1専用ペア線路で接続されていることを特徴とする前記請求項1記載の高速信号伝送システム。

【請求項3】 クロック周波数がGHz帯の高速なLSIチップと接続され、送端、終端等の電子回路全体に渡るトランジスタの論理、メモリ回路などを差動入力、差動出力で構成し、かつ分岐配線がない、上記LSIチップと信号のやり取りをするチップ外線路を有する高速信号伝送システムにおいて、

前記終端にMOS差動センスアンプが接続されると共に、経路の信号伝送に対する不具合を波形分析回路により分析検出して送信波形を整形することによって受信波形がセンスアンプに正しく伝わるようにする調整回路が出力回路に付加されていて、該調整回路が確率的探索方法により調整されることを特徴とする高速信号伝送システム。

【請求項4】 前記センスアンプが、10fF以下のゲート容量をもつMOS・FETで構成されることを特徴とする前記請求項3記載の高速信号伝送システム。

【請求項5】 前記確率的探索方法が、遺伝的アルゴリズム、山登り法、焼き鈍し法、枚挙法、進化戦略、タブーサーチ法のいずれか、あるいはこれらの組

み合わせであることを特徴とする前記請求項3または4記載の高速信号伝送システム。

【請求項6】 前記確率的探索方法により調整される回路を経由して差動出力された伝送線路はすべての送端から終端まで特性インピーダンスで整合させ、前記センスアンプは送信波形と全反射波形の合成を受信し、全反射波形が再び送信端から再反射して発信されないよう送信端側に終端抵抗が挿入されていることを特徴とする前記請求項3～5の内、いずれか1項記載の高速信号伝送システム。

【請求項7】 前記接続線路（信号伝送線路、電源・グランドペア線路）はTEMモードが維持される構造とされていることを特徴とする前記請求項1～6の内、いずれか1項記載の高速信号伝送システム。

【請求項8】 前記線路は、空气中に電磁波がもれる構造にあつては、その部分の実効誘電率が内部誘電体誘電率に整合するよう高誘電率材料がコーティングされる構造であることを特徴とする前記請求項1～7の内、いずれか1項前記請求項5項記載の高速信号伝送システム。

【請求項9】 前記伝送線路は、ペアコプレーナ、スタックトペア、ガードスタックトペア、ガードコプレーナ構造のいずれかであることを特徴とする前記請求項1～8の内、いずれか1項記載の高速信号伝送システム。

【請求項10】 前記回路が複数ビットで構成されるときは全線路に渡って、物理構造が相対的に同じで、等長配線長さとする構成とし、並行な等長配線を基本とし、ファンアウト配線を等長とするため円弧状の配線を用いることを特徴とする前記請求項1～9の内、いずれか1項記載の高速信号伝送システム。

【請求項11】 ドライバ回路およびレシーバ回路はSiまたはSiGeのMOS・FET、またはGaAsのnチャネルMES・FETでグランド接続のない差動出力と差動入力回路、ショットキー高速バイポーラ差動回路またはバススイッチ回路で構成されたことを特徴とする前記請求項1～10の内、いずれか1項記載の高速信号伝送システム。

【請求項12】 すべてのトランジスタに相補的におなじMOS・FET、MES・FET、バイポーラトランジスタ構造のバラクタを配置した構成である

ことを特徴とする前記請求項1～11の内、いずれか1項記載の高速信号伝送システム。

【請求項13】 前記相補動作する素子の共通ウエルを電氣的に浮かせる構成にすることを特徴とする前記請求項12記載の高速信号伝送システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、デジタル信号のクロック周波数が2GHz以上の高速なLSIチップのLSIの信号処理をスムーズにする要求に対応し、該高速なLSIチップと接続され、上記LSIチップと信号のやり取りをするチップ外線路において、LSIのクロックと整合した入出力回路（以下、I/Oという。）のバンド幅を確保すること、すなわちバンド幅を整合させてチップクロックとI/Oバスの伝送クロックを同じにする技術に関する。

【0002】

【従来の技術】

近年LSIチップを動作させるためのクロック周波数は2GHzに達するが、この信号のやり取りをするチップ外線路の周波数は最高でも533MHz（Rambusプロトコル）に過ぎず、信号をLSIに取り込むバンド幅がLSIの要求に対して不足している状態である。LSIの信号処理をスムーズにするため、ロジックチップでもメモリチップでもキャッシュメモリを埋め込んでバンド幅不足に対応しているが、大きなキャッシュメモリ面積を必要とするだけでなくアドレス計算が余分となりアーキテクチャも複雑になる。もしLSIクロックと整合したI/Oバンド幅の確保ができれば、キャッシュメモリが不要でアーキテクチャの単純なシステムとなる。チップI/Oは本質的にチップの中の処理ビット数と同じであることがデジタルシステムの基本であり、バンド幅を整合させるにはチップクロックとI/Oバスの伝送クロックが同じでなければならない。今後GHz帯へ突入する時代にあってバスクロックの改善は急務である。バスの基本構成である伝送線路がその特性を有していてもGHz帯クロックは通らない。すなわち、ドライバ・レシーバとそれを包むパッケージ構造の全てが高速信号を

通すための用意が成されて初めてGHz伝送ができることになる。

【0003】

一方、チップ内の未来を予測すると、Intelは2001 Symposium on VLSI Technology (2001.6 Kyoto) でゲート長20nmのMOS構造を発表し、20GHzデジタル信号を処理できるとしている(2007年に実現できると予測)。しかし、20～50GHzのデジタル信号を10mm角のチップ内配線を通すためにはRC充放電回路による考え方を脱却した新たな発想による構成が必要である。すなわち、システム全体に渡ってユニファイな環境にするには根本的に考えを新たにしたシステム構築が必要である。

【0004】

【発明が解決しようとする課題】

本発明の課題は、できるだけ従来のシステム構成と部品構成を肯定しながら、クロック周波数が2GHz以上の高速なLSIチップと接続され、上記LSIチップと信号のやり取りをするチップ外線路に数十GHzの帯域のデジタル高速信号を通す(伝送する)伝送システムを実現することである。

【0005】

【課題を解決するための手段】

上記問題を解決するために、本発明は、トランジスタキャリアのポンプアップ、ポンプダウンを自動的に行うデバイス構造、受信情報をフィードバックし、送信側で波形調整する遺伝的アルゴリズム等の確率的探索方法により調整される回路(以下、遺伝的アルゴリズム回路等という。)の挿入、トランジスタから出て行く配線の伝送線路化、回路のコモン電源を排除した構成を作ること提案する。すなわち、GHz帯パルスシグナル伝送においては、回路や線路にパルスのエネルギーが動く過程(電荷Qが変化する過程)をできるだけ制限しないようにすること、かつ、反射を引き起こす不連続点をなくすことが求められる。

【0006】

すなわち、この発明の高速信号伝送システムは、クロック周波数がGHz帯の高速なLSIチップと接続され、送端、終端等の電子回路全体に渡るトランジスタの論理、メモリ回路などを差動入力、差動出力で構成し、かつ分岐配線がない

、上記LSIチップと信号のやり取りをするチップ外線路を有する高速信号伝送システムにおいて、上記チップ外線路の送端または終端側の一方で基準電位を確認するため電源またはグランドへの接続を有するが、該基準電位を確認した送端または終端側の反対側の終端または送端では電源またはグランドへの接続を有さないことを特徴とする。さらに、前記システムの電力供給線は電源・グランドペア線路となっている構造で、それぞれの最小論理要素、メモリ要素回路の1要素回路あたり、1専用ペア線路で接続されていることを特徴とする。

【0007】

また、この発明の高速信号伝送システムは、クロック周波数がGHz帯の高速なLSIチップと接続され、送端、終端等の電子回路全体に渡るトランジスタの論理、メモリ回路などを差動入力、差動出力で構成し、かつ分岐配線がない、上記LSIチップと信号のやり取りをするチップ外線路を有する高速信号伝送システムにおいて、前記終端にMOS差動センスアンプが接続されると共に、経路の信号伝送に対する不具合を波形分析回路により分析検出して送信波形を整形することによって受信波形がセンスアンプに正しく伝わるようにする調整回路が出力回路に付加されていて、該調整回路が確率的探索方法により調整されることを特徴とする。さらに、前記センスアンプが、10fF以下のゲート容量をもつMOS・FETで構成されることを特徴とし、前記確率的探索方法が、遺伝的アルゴリズム、山登り法、焼き鈍し法、枚挙法、進化戦略、タブーサーチ法のいずれか、あるいはこれらの組み合わせであることを特徴とする。

【0008】

さらに、前記確率的探索方法により調整される回路を経由して差動出力された伝送線路はすべての送端から終端まで特性インピーダンスで整合させ、前記センスアンプは送信波形と全反射波形の合成を受信し、全反射波形が再び送信端から再反射して発信されないよう送信端側に終端抵抗が挿入されていることを特徴とする。

【0009】

また、前記接続線路（信号伝送線路、電源・グランドペア線路）はTEMモードが維持される構造とされていることを特徴とし、前記線路は、空気中に電磁波

がもれる構造にあっては、その部分の実効誘電率が内部誘電体誘電率に整合するよう高誘電率材料がコーティングされる構造であることを特徴とする。さらに、前記伝送線路は、ペアコプレーナ、スタックトペア、ガードスタックトペア、ガードコプレーナ構造のいずれかであることを特徴とする。

【0010】

また、前記回路が複数ビットで構成されるときは全線路に渡って、物理構造が相対的に同じで、等長配線長さとする構成とし、並行な等長配線を基本とし、ファンアウト配線を等長とするため円弧状の配線を用いることを特徴とする。

【0011】

さらに、ドライバ回路およびレシーバ回路の能動素子はSiまたはSiGeのMOS・FET（電界効果トランジスタ）、またはGaAsのnチャネルMES・FETであり、グランド接続のない差動出力と差動入力回路、ショットキー高速バイポーラ差動回路、またはバススイッチ回路で構成されたことを特徴とし、すべてのトランジスタに相補的におなじMOS・FET、MES・FET、バイポーラトランジスタ構造のバラクタを配置した構成であることを特徴とする。またさらに、上記の場合の共通ウエルを電氣的に浮かせる構成にすることを特徴とする。

【0012】

【発明の実施の形態】

本願発明をより詳細に説明するために、添付の図面に従ってこれを説明する。

・LSIチップのI/Oドライバ・レシーバ回路構成

先ず本発明の信号のやり取りをする回路を示すと、図2のようになる。ここでは差動出力を可能とするドライバ1とレシーバ2の構成が記述されている。送端側はグランド接続3があるが、レシーバ端4にはグランド接続が無いことが従来と大きく異なる。なお、図2において、信号伝送線路は、模式的に分かり易くするため同軸線路で表示されているが、実際は図10に示されるようなペア線路（平行2線）である。以下、図5、図6、図14、図21、図24、図25、図26においても同様である。

【0013】

まず、高速に動作するときの現象の予備知識として、電磁気学的概念を説明する。

一般に信号としてのパルスとは多数の正弦波の高調波を含んだ合成波である。パルスのクロック周波数を基本波(エネルギー率約82%)とすると、約9%のエネルギーを持つ3倍高調波、約3%のエネルギーを持つ5倍高調波、2%のエネルギーを持つ7倍高調波、1%のエネルギーを持つ9倍高調波、さらに奇数倍で小さなエネルギーを持つ高調波の合成である。エネルギー的に問題のある高調波を安全サイドで見ると、パルスのクロック周波数に対して1桁高い周波数までの問題を論じるべきである。すなわち、例えば2GHzのパルスに対して20GHzの伝送帯域がないとパルスに波形歪みが生じる。また、同じパルス周波数でも立ち上がり時間 t_r (立下り時間 t_f)が急峻なほど、高次高周波のエネルギーが高く、立ち上がり時間から伝送に必要な帯域の周波数 f を想定すると、 $f = 0.35 / t_r$ 、または $f = 0.35 / t_f$ となる。これをパルス実効周波数と名づける。当然のことながら、この伝送帯域にはパルス実効周波数が含まれている。

【0014】

電磁波速度で伝わる正弦波エネルギーが波の節目となる伝送距離に対して共振を起こすことはよく知られている。最小節目は $1/4$ 波長($\lambda/4$)である。前述の高次高調波の共振が起こると、その正弦波の伝達コンダクタンスが ∞ (無限大)、すなわち抵抗が0になり、他の正弦波の有限なコンダクタンスと大きく異なって伝達する。すなわち、増幅されたことになる。極端な場合数%のエネルギーを持つ高調波が基本波と同じエネルギーを持って伝達し、パルス波形が大きく乱れると同時に、電磁放射の原因となる。

【0015】

前述のIntelのCPUの場合は、クロック周波数20GHzの9倍高調波までを問題にする。これは、180GHzという正弦波である。比誘電率 $\epsilon_r = 4$ の場を伝送する線路の電磁波速度は 1.5×10^8 m/sとなるため、180GHzの $1/4$ 波長 $\lambda/4 = 210 \mu\text{m}$ となる。従って、上記共振を避けるため、LSIチップの中の配線長は $210 \mu\text{m}$ 以上に這わすことができない。もし必要な場合はリピータ回路を挿入しなければならない。現実的にも、RC充放電に

よる遅延で問題となる配線長はこれ以下であり、該高調波成分を通すために L S I チップの中のグローバル配線は全て高周波に耐えうる伝送線路としなければならないことになる。

【 0 0 1 6 】

L S I 設計の一般論として配線長の分布は、図 1 のようになっている。長い配線は L S I の機能ブロック間のいわゆるグローバル配線といわれるものである。東京工業大学の益一哉は図 1 のように伝送線路にする必要がない部分（集中定数回路部分）と伝送線路にしなければならない部分（分布定数回路）を分離すると提案している。本発明も、この提案の範囲に存在させることが現実的である。長い配線を必要とする回路構成は L S I の中の 1 0 % であると想定して、本発明の高周波における問題発生への対応策を説明していく。

【 0 0 1 7 】

ドライバのパルス状の出力信号を得るためにはスイッチと電源が必要である。ところが電流の流れていない状態から瞬時に大量の電流が流れる状態になれば、その電流遷移勾配 di/dt は急峻になり、 $v = L_s (di/dt)$ なる電圧（ L_s ; 寄生インダクタンス）が発生し、電源 V_{dd} が瞬時にこの電圧 v 分だけ低下する（ $V_{dd} - v$ ）。クロック周波数が 1 桁向上するということは、同じ配線構造では、 v が 1 桁大きくなることに相当する。回路中の寄生インダクタンス L_s を概算すると配線長さ $10 \mu m$ で $10 p H$ となる。従来、 $10 p H$ をよしとした回路であるとするならば、周波数を 1 桁向上させるには $1 p H$ 、すなわち配線長さは $1 \mu m$ としなければならないことになる。あるいは、 $10 \mu m$ 配線を保つためには $L_s = 0.1 p H$ にするか、もしくは電流を一定にしなければならないが、これらは集中定数回路的設計では到底不可能なことである。しかしこれは分布定数回路では可能なこととなる。今、具体的な回路で考えてみる。

【 0 0 1 8 】

G H z 帯の信号立ち上がり $t_r = 10 p s$ 以下にしたとき、パルス実効周波数が 3 5 G H z 以上となるため、従来回路では全く動作しない。すでに歴史のある E C L 回路を使用したカレントスイッチ型ドライバはこの問題を排除するためのものである。しかしこれも全く用を成さない。これを実現する図 2 の回路は E C

Lに代わってn-MOS 1段で作った差動回路である。なお、CMOSで構成した同様の他の実施例が図24に示される。図24においても、レシーバ端のバイパスキャパシタはレシーバのゲートと分離しているのでグラウンドに落ちていない。

【0019】

通常、ドライバの前段はラッチが存在し、フリップフロップ回路である。この回路は差動出力端を必然的に持つため、ドライバへの入力信号は相補的に配置されたn-MOSで差動スイッチを比較的簡単に作ることができる。トランジスタを多く配置した回路はpn接合容量がトランジスタの数だけ多くなり、重畳した瞬時電流を多く流すことになるだけでなく、信号切り替え時これを放電させる必要があり、スイッチング動作の遅れを誘発する。これを防止するドライバ回路は図2のように最小のトランジスタ数で構成しなければならない。このトランジスタに直列につながった抵抗 R_E (3)は、pn接合容量を誘発する原因になる拡散抵抗は使用しないで、タンゲステンまたはモリブデンやそのシリサイドなどからなる金属膜抵抗が望ましい。

【0020】

図2のレシーバは論理回路図として表現されているが、ドライバ回路と同じ回路でよく、受信差動信号は差動レシーバのゲートで受け、この部分でグラウンドにつながっていないことが特徴である。なお、その詳細は、後述する。

【0021】

この回路の有用性をシミュレーションで確認しよう。図3が $t_r = t_f = 10$ ps (35 GHzのパルス実効周波数)における本発明のドライバ回路で、電源電圧 $V_{dd} = 2$ V、伝送線路電圧0.05 V (受信端は全反射のため、0.1 V)に設定した。そのシミュレーション結果を図4に示す。 R_8, R_9 (5, 6)は受端整合抵抗55 Ω 、 R_1, R_2, R_3 (7, 8, 9)はトランジスタオン抵抗500 Ω である。 U_1, U_3 と U_2, U_4 は差動トランジスタのスイッチ動作を表現したものである。シミュレーション回路のオン抵抗0.001 Ω 、オフ抵抗1 M Ω である。トランジスタ寄生容量を設定するため、 C_4, C_5, C_6, C_7 の10 fFを併設した。伝送線路10はLSI内で制御可能な適切と思われる5

0 Ω の特性インピーダンスとし、比誘電率 $\epsilon_r = 4$ の絶縁物で囲まれた線路で 3 mm 線路長に相当する遅れ 20 ps を設定した。差動ゲートに入力されるとして、それぞれ 5 fF のゲート容量を付加した。電源・グランドペア線路の特性インピーダンスを信号線寸法より太いとして、15 Ω に設定し、7.5 mm の遠方から供給すると考えた。チップ内に散りばめられたバイパスコンデンサを 20 pF とした。ここで L1 はバイパスコンデンサの寄生インダクタンスで、容量が小さいため、対抗電流パスが短いとし、1 pH とした。差動信号は図 2 のようにシングルエンド的に取り扱うが、シミュレーションで、このようなツールが無い場合、2 対の対電源、対グランドとの伝送線路と表現した。

【0022】

受信端の信号電圧振幅が 0.1 V (11) と非常に低い、差動入出力では充分検出可能な電位差であるとした。伝送線路のチャージ、ディスチャージの間定電流を流すことになるが、その電流を小さくし、低電力を意識した設定となる。この設定では 200 μ A (13) となり、1 ドライバ当たり、1 遷移あたり 2 V \times 200 μ A = 400 μ W の消費となる。相対的に大きな消費電力であり、LSI 当たり 10 % 程度に止める設計のグローバル配線とすることがガイドラインとして必然的に出てくる。

【0023】

このような高周波数でもシミュレーションではほぼ定電流が維持され、ほとんど問題がない。トランジスタのゲート容量 10 fF で電流インデント（スパイク状の変化）が現れるはずであるが、全く見えていないのは相補的に存在するからである。これが後述の図 4 の説明である。2 個の直列 nMOS のドレイン、ソースの電圧依存によるスイッチング時定数 τ の変化はほとんど電圧差がないため無視できる。

【0024】

伝送線路におけるチャージ、ディスチャージの期間 (2 t p d) の間に次の出力信号の遷移が訪れると、波形が乱れるため、3 mm の配線長では 2 t p d = 40 ps となり、これ以下の周期をもつ周波数は問題となる。すなわち、40 ps は、周波数に換算すると 25 GHz であるので、パルス周波数 25 GHz で動作

可能な回路が提案できたことになる。ちなみに配線を1.5mmに抑えれば50GHzとなる。

【0025】

ドライバ周辺の本発明の提案は、(1) 差動ドライバは1段のトランジスタ、あるいは1段のトランジスタの並列回路で構成されていること。(2) 差動ドライバの並列回路あるいは差動ドライバに接続する調整回路が、遺伝的アルゴリズムで最適化される構成であること(後述)。(3) 電源・グランドはペア伝送線路であること。(4) 電源に対するグランドの相補電流(一般にリターン電流と呼んでいるが、誤解を招く言葉のため、相補電流と呼ぶ)を流すため、ドライバ端にバイパスコンデンサが設けられていること。(5) 差動信号はシングルエンド的伝送線路構造(図2)で取り扱い、一般的なグランドを基準とした差動でない構成。(6) 整合終端をシングルエンド伝送線路の特性インピーダンスと同じ値とし、その中点を基準グランドにして電流パスとする構成。(7) 波形分析用回路を受信側に配置し、波形調整回路は終端抵抗とドライバの間に設置されている構成。(8) 差動ドライバを同じウエル構造の中に設け、それぞれのチャネル(MOS・FETの場合)、ベース(バイポーラトランジスタの場合:この場合は共通コレクタ構造)にして、内部蓄積電荷の反転信号による相補的利用を考えた構成。を特徴とする。

【0026】

(8)は図3のC4、C5、C6、C7の蓄積電荷を反転時に再利用するという意味であり、図4のシミュレーション結果のインデントピークを治めることができる。同じウエル構造内では、同じ寸法のトランジスタの特性はアンバランスになりやすく、全く同じ量のチャージのポンプアップ、ポンプダウンができる。

【0027】

(8)の作用を実現するトランジスタ断面構造の一例を記載すると、図5のようになる。

差動ドライバトランジスタは同一ウエル構造の中にある。それぞれのゲート電位に吸い寄せられたチャネル電荷(nMOSでは電子は少数の誘起伝導キャリアであるが、ホールはウエル内の多数キャリアでチャネルとはいえないが、高ホー

ル密度をチャネルと仮に呼ぶ)が相補入力信号で開放されたとき、隣接トランジスタの吸引が起こるときであり、高速なキャリア交換が行えることになる。また、電荷の再利用による電力の節約にも大きく寄与する。

【0028】

バイポーラトランジスタでは図6のような断面構造が考えられる。ベースの蓄積少数キャリアのコレクタ側への引き抜きが共通コレクタ電極で強調されるとともに、空乏層電荷の相補的増減を共通コレクタが補償する。エミッタの引き抜きは従来と変わらないため、MOSにおける効果より、少ないが、大きな高速動作を可能とする構造であり、電荷再利用で電力も低減できる。

【0029】

ここで、上記キャリアポンプアップ・ポンプダウンによる高速動作とトランジスタの構造原理の詳細な説明をする。

トランジスタが高速に動作しない最も大きな理由は、トランジスタ遷移直前に存在している蓄積電荷を放出し、新たな状態にしたがった蓄積電荷分布に納めるための電荷供給をするのに時間が掛かるという事にある。電源グランドはチップ内にバイパスコンデンサがサポートされていても、本質的に受動的なものであり、能動的な変化をするトランジスタの電荷供給、放出を積極的に助けるものではなく、トランジスタ蓄積電荷(容量成分)による瞬時電流増大で、電源電圧低下、グランドレベルの上昇が起こり、瞬時電流が制限される。また一般にバイパスコンデンサはトランジスタに隣接していないため、緊急に必要とする電荷供給策となりにくい。この問題を図27のpMOSトランジスタ構造でもって説明する。

【0030】

pMOSトランジスタの電極の電圧がベースB=ドレインD=ソースSのときを基準電位とし、基準ソース電位に対してゲートGにマイナス電位がかかるとゲート絶縁物直下のn-チャネル(チャネル層領域)は反転しホールが誘起され図27のような構成となる。ゲート電位と反転層電位の間に電荷が対峙して C_{ox} が形成される(この場合の反転層の電荷はホールである)。反転層の下には空乏層が発生し、ここでも電荷が対峙しているため、 C_i が存在する。反転層によるウ

エル構造の電位分布で空乏層の下に C_b も発生する。これらの全容量を C_{mos} と呼ぶことにする。電圧の上昇と共にこの状態は弱められ、電荷がどんどん離散していく。この様子を横軸をゲート電圧、縦軸を C_{mos} とすると図28のような関係が描ける。反転層が無くなり、空乏層のみとなったときに電荷量が最も少なくなる。すなわち、この場合のトランジスタは電圧に依存する二端子型の可変容量素子とみなせる。

【0031】

さらにゲート電位をプラス側に上昇させるとチャネル層領域に蓄積電荷（この場合ゲート直下の層は電子）が貯まる。当然、ホールが貯まっていた時と同じ蓄積電荷量となり、容量は増えて C_{ox} に戻る。この C_{ox} の値は

$$C_{ox} = \epsilon_{ox} S / t_{ox}$$

となる。ここで ϵ_{ox} はゲート絶縁物の誘電率、 S はチャネル面の面積、 t_{ox} は絶縁物厚みである。図28の C_{mos} の最低値を C_{min} とすると、ゲート電圧の反転(V_{swing})で、 $Q_{tran} = 2 V_{swing} (C_{ox} - C_{min})$ の電荷量を電源から注入しなければならない。電荷の反転をさせるため、2倍という係数がついている。これはトランジスタ出力電荷とは関係の無い、トランジスタ自身を動作させるためのエネルギーといえる。

【0032】

今、信号電圧0.5V、 $C_{mos} = 5 \text{ fF}$ 、 $C_{min} = 2.5 \text{ fF}$ とし、ゲートに入力される信号の遷移時間（立ち上がりまたは立下り時間）を25psとすると、遷移に伴う電荷量 $Q_{tran} = 1.25 \text{ fC}$ となり、遷移電流 $i_{tran} = 50 \mu\text{A}$ が25psの間流れ、これがトランジスタ駆動のために余分に必要となる。信号遷移のたびにこのエネルギーは瞬時に吸収放出しなければならず、多くのトランジスタが集合している回路中では少しでも電源グラウンドの状態が悪ければトランジスタ能力も発揮できない事になる。

【0033】

電源グラウンドの電圧は静的なもので、 $50 \mu\text{A}$ の電流を瞬時に流すとその線の寄生インダクタンスで電源電圧の降下やグラウンドレベルの上昇となることはすでに述べた。トランジスタの動作に必要な電荷を強制的にポンプアップ、ポンプダ

ウンする回路がトランジスタの高速スイッチをサポートするために必要である。CMOS論理回路でもメモリ回路でも差動出力端子を備えるものが多い。ここでは入力信号はすべて差動で受けられる回路とする。基本回路に図29のようなnMOSトランジスタとバラクタの構成で説明する。2つのnMOSトランジスタとバラクタは全く同じ寸法構造のもので、相補的に駆動されるものである。

【0034】

図27のPMOSトランジスタをベースとしてCMOSトランジスタと同じ寸法のバラクタ（FETのソース電極とドレイン電極を接続した2端子の回路素子）を設計すると図30のようなCMOSトランジスタと似た構造で相補的な特性を持つバラクタが得られる。これから判明するように相補的な差動信号でMOSトランジスタが電荷を必要とする時、ゲートの与えられた電圧変化で図31、32のようにバラクタの容量が減少し容量減少分に相当する電荷が、すなわち、MOSトランジスタが必要とする電子かホールを放出する。これがソースまたはドレイン電極から流れ込む事になり、瞬時にMOSトランジスタの遷移時に必要な蓄積電荷分を充足する事になる。MOSトランジスタが電荷を放出しなければならないとき、同じバラクタが電荷を必要とする時であり、積極的にこれを吸収する事になり、蓄積電荷を再利用できるという電力消費を抑制する良い回路が出来る。

【0035】

バラクタ、トランジスタ、またはCMOS・FETのスイッチタイプドライバでは、相補動作する素子の共通ウエル内で+、-電荷の高速交換が行われるので、共通ウエルを電氣的に浮かす（GNDや電源に接続しない）ことが望ましい。しかし場合によっては、雑音の低減等のために動作速度を犠牲にして共通ウエルをGNDや電源に接続する場合も存在する。

【0036】

図7にレシーバ端回路の例を示す。差動レシーバトランジスタのn1, n2（21, 22）は反転信号入力のため、図5や図6と同様に、共通ウエル構造や共通コレクタ構造（バイポーラを採用した場合）をとれば高速動作が可能である。n3, n4, p3はスタティックなトランジスタのため、従来回路で充分である。

。n1, n2の反転動作を利用してバラクタを、図5と同様にして、図6のようにセットにすればよく、これで高速動作と省電力動作が可能となる。p1と左のバラクタ、p2と右のバラクタが同じウエル構造の中にあればよい。

【0037】

引き続き配線構造を図8に示す。入力信号がペア伝送線路、出力線路も伝送線路、電源グランドペアも伝送線路(上層)(いずれもペアコプレーナ線路)であることが重要な設計ポイントであり、差動入力でペアになったトランジスタが同じウエル構造の中にあることも他の重要ポイントである。

【0038】

電源グランド層は二点鎖線で示したように3層目にそれぞれのトランジスタレーに沿ってペアコプレーナ線路として組まれている。これを分かりやすいように断面構造で示したものが図9である。

【0039】

先ず、上部電源グランドのコプレーナ線路(30)の断面を注目する。電源・グランドのカップリングを強くするため、アスペクト比 $t/w \geq 1.5$ が望ましい。対抗面を増やすことで電源グランドとのカップリングが強くなり、電磁界の外部への漏れを小さくするためである。次に、上部電源グランドペア層内でのカップリングを強くするため、対抗面電磁界のフリンジができるだけ層に渡って交叉しないようにする、すなわち、クロストークを避けるため、 $d < h$ の条件を満たす必要がある。第3に、これもフリンジの影響を避けるため、 $s/d \geq 1.5$ にする必要がある。同様のことが全てのペアコプレーナ線路(信号線、クロック線)で実現するべきである。ドライバやレシーバ構造はもちろん、数GHz以上のクロック周波数で動作するLSIの論理やメモリトランジスタの結線は全てこの構造にすることが望ましい。もちろんこの配線ルールは好ましくはチップのグローバル配線すべてに渡って適用されることはいうまでも無い。

【0040】

図2に一例を示すように、ドライバの出力は主線路バスを通り伝送線路に至る過程で、ペア線路はいかなる場所でもコモングランドに接続せず、グランドとは抵抗を介した独立した線として存在する。これによる効果は、ペア信号線間が相

補的にスウィングし、差動アンプレシーバに有効な最大振幅が得られることにあ
る。更なる効果は伝送線路の電磁界の乱れが最小になり、波形が乱れないとともに
寄生インダクタンスと寄生キャパシタンスを最小にする回路となることである
。

【0041】

ここで重要な点は、信号線用のグラントは信号線と一対のもので、グラントと
はいえないため、コモンにつながらないことである。他の信号とレベルを合わせる
ため（バイアス差がないように）、一箇所でグラントに落とすが、これも厳密な
意味では不要である。1箇所に限定したのはグラントに存在する相補電流が別の
グラントループを通過してブランチになることを防止するためである。これをルー
プ電流とか渦電流と呼ぶならば、この電流がEMI発生の原因になるもので、本
発明はこの現象を防止することを特徴とするものである。

【0042】

例えば、マイクロストリップ線路の場合、マイクロストリップ線路はコモング
ランドに対してストリップ線路が誘電体を介して配線される構造であり、ストリ
ップ線路とコモングラント間の電磁界分布がコモングラントを介して他のストリ
ップ線路とも結合し、他のストリップ線路に干渉を与えてしまう。しかし、この
発明の信号線用のグラントは信号線と一対のもので、コモングラントと切り離さ
れているので、基本的に上記のようなコモングラントを介して他の信号路に干渉
を与えることはない。これがコモングラントと切り離した信号線用のグラントを
設けたことの効果である。この発明において、電界磁界の広がりを中心がペア伝
送線路（信号線と信号線用グラントライン）の断面中心となる。

【0043】

図38に示される、送端終端のみをグラントに落としたFET1個の基本スイ
ッチ回路を用いたシミュレーション結果を図39に示す。図39において、図3
8の送信端101の波形103が図38の受信端102では、その波形104が
終端抵抗とFETオン抵抗の分圧で出力振幅は下がっておりFETの容量でスパ
イクは出ているが、1GHzパルスは通っていることがわかる。ただし、伝送線
路（T2）のグラントをどうするかが検討課題として残る。

【0044】

次に、230mm線路長（ライン／スペース＝1／1、特性インピーダンス約50Ω）のマイクロストリップ線路MSLとスタックトペア線路SPLのSパラメータ実測を行い、1GHzにおいて両回路ともに入力サイドでグランドに落としたのみで、出力サイドは10MegΩの抵抗を入れて浮かせたシミュレーション解析結果を図40、図41示す。図40において、2Portという回路部品105に実測Sパラメータを入力しており、材料はFR-4、BTレジン、テフロン（登録商標）である。

【0045】

図41において、送信波形106が受信波形107、108、109となることが示される。これより、伝送線路T2がたとえ浮いていても、上記線路のシミュレーションからマイクロストリップ線路MSLとスタックトペア線路SPLのいずれの場合も1GHzの波形は通ることが示され、入出力のいずれか1箇所でグランドを落とせばよいということが判明する。

【0046】

前記回路に用いられる伝送線路の構造を示すと図10のようになる。2対づつ記述されているが、隣接ペア線路との距離はペア線路自身のスペースを基準にして、2倍以上のスペース（2S）を有することがペアコプレーナと、スタックトペアのルールである。ガードコプレーナ線路とガードスタックトペア線路はペア線路自身のスペースを基準にして1倍以上のスペース（S）で隣接配線スペースを設計できる。ガード付き線路の利点は伝送線路の特性インピーダンスを下げ、適切な設計範囲にすることができる。

【0047】

TEM波伝送条件を守るため、伝送線路は均質な絶縁材料で囲まれていなければならない。その範囲はペアコプレーナとスタックトペアでは導体外周から実効的電磁界の広がりと同等の2sの広がり（図10）であり、ガードコプレーナとガードスタックトペアでは実効的電磁界がガード内に留まるため、sの広がりである。

【0048】

もし、この絶縁層の広がりを守れない時の対応策を図 1 1 で提案する。スタックペア線路の一例を示す。このイメージはプリント配線板で、最上層のソルダーレジストの部分である。ソルダーレジストが薄いため、上部に広がる電気力線が空気層（比誘電率 1）の部分に及ぶため、ソルダーレジストの実効比誘電率は小さくなる。下部の絶縁物の比誘電率を a ($a > 1$) とすると、ソルダーレジストの実効比誘電率を同じ a にするように誘電率の大きいソルダーレジストを用いる構成は、本発明の特徴である。これにより、伝送線路は実質的に TEM 波モードを維持できる。ペアコプレーナ、スタックペア線路にあっては $2s$ の範囲に異種の絶縁層や空気層があるとき、実質的な比誘電率はその広がり s の範囲で、同じ比誘電率となるよう調整をした層構造が、また本発明の特徴である。ガードコプレーナ、ガードスタックペア線路においても広がり s の範囲で同様な規定が守られているように構成する。具体的な寸法をプリント配線板でスタックペア線路をモデルで提示する。 $2s$ で実効的電磁界が閉じていることから $(1/2)s$ のソルダーレジスト厚みを規定するならば、 $(3/2)s$ （すなわち、 $2S - 1/2S$ ）が空気に漏れる電磁界となる。空気の比誘電率が 1 のため、ソルダーレジストの比誘電率を b とすると、 $1 \times (3/2) + b \times (1/2) = a$ という単純計算式となるが、電磁界の広がり s が中心から距離の 2 乗で比例して弱くなり、実測では $b = 2a$ 程度となる。

【0049】

次に図 1 2 (a) で示すように、コラム、ビアホールなどのインピーダンス不整合の長さに対する考察をする。

チップ内絶縁層の比誘電率を 3 とすると、電磁波伝送速度は 1.73×10^8 [m/s] となり、 $100 \mu\text{m}$ 線路長の伝送遅れは 0.578 ps となる。これは主線路のパルス立ち上がり時間を 10 ps と仮定したため、次のような現象が起きていると解釈できる。ミスマッチ部分にエネルギーが流れてもその帰りが $0.578 \times 2 = 1.156 \text{ ps}$ であり、 10 ps の間に 8.5 回往復可能な時間である。この往復調整で立ち上がり時間中にほぼ安定領域に達する（図 1 2 (b)）。したがって、立ち上がり中の波形の乱れはあるものの、立ち上がった後は安定した波形がミスマッチ部分を通過後、配線を進行することになる。図 1 3 に示

したように、エネルギー的に見ると、3回の往復に要する時間を経過したエネルギーは $50\Omega/200\Omega$ のミスマッチ（不整合）でも90%は通過する。結論的にこの長さは無視できるものである。すなわち、上記の不整合部分の遅延時間 t_{pd} が $7t_{pd} < t_r$ であれば不整合の影響は無視できるので $t_r > 7t_{pd}$ の構成を提案する。

【0050】

ここでバススイッチタイプドライバの構成として、バラクタ素子挿入回路を提案する。これの一例を示すと図14のようになる。ここでバラクタはMOSトランジスタ、MESトランジスタ、あるいはバイポーラトランジスタと同一構成からなる。これは、同一のLSI作製プロセスで同時に作製するためである。

【0051】

ドライバの前段のバッファは参照電源を用いた差動出力回路(図2と同様)を用いればよいことを付け加えておく。

・システム構造

以上でドライバレシーバ伝送システムのデバイスと回路的な部分を説明した。次はこの目的に沿ったシステムを構成する構造的部分について説明する。先ず理想的形を示すと等長並行配線とそのピッチで接続する構造となる。これを図15に示す。送端で全反射の戻り信号を吸収する終端抵抗(51)で、戻り電圧波形を検知する回路が付属し、その波形を分析し、遺伝的アルゴリズム回路(52)にフィードバックして発信波形を修正するという構成となる。

【0052】

チップ内で好ましい伝送線路構造はコプレーナ線路であったが、アスペクト比の大きい縦長の断面構造はパッケージやプリント配線板で取れないため、ここではスタックトペア線路が望ましい線路構造である。図15(a)の平面図はチップを透視で見た図である。ドライバ(53)からコプレーナ線路を通してチップパッド(54)に至り、ここでフリップチップ接続により配線板に接続される。パッド層より下にもぐりこむ信号線とグランド線はフリップチップのパッドしたビアホールでそれぞれの下層に接続され、できるだけ短い距離で重なり、断面構

造(図15(b))のようになる。グランド層はスタック上下のずれや、電磁界の下層への漏れを防止するため線幅 w より $1.2 \sim 1.5$ 倍を取ることが望ましい。その他の関係を示すと、 $w \leq s$ 、 $(d+t) \leq s/2$ 、 $d \leq h_1$ 、 $d \leq 2h_2$ でなければならない。ドライバから等位置にレシーバパッド(55)が設けられ、レシーバにつながっている。この短い配線もパッケージ内であればスタックトペア線路、チップ内であればコプレーナ線路であることが望ましい。図15(a)では2本目3本目のレシーバが重なるため点線で記入されている。当然、いくつもの分岐パッドとレシーバがあるが省略されている。線路の終端には線路特性インピーダンスに整合する終端抵抗(57)は接続されている。断面構造で分かるように、電源グランドなどの直行する線路がスタックトペア線路の下に設定されている。

【0053】

分岐部においてレシーバチップ(56)は、図15で明らかなようにバス配線上に跨っている。これで伝送線路長さをできるだけ短くすることができる。このような構成でドライバチップとレシーバチップのパッド配列から次の図16に示すような要件が出てくる。

【0054】

(1) パッドピッチの2倍のピッチでスタックトペア配線を這わせ、パッドはバス線路方向と直行する直線状に整列する必要がある。

(2) チップの1列パッドから信号線を取り出す構造となり、他の辺に結合するときの制約条件が大きくなる。

【0055】

この二つの制約は設計者にとって大きな問題を提起することになる。チップ面積が改良によりシュリンクしたとき、パッドピッチもシュリンクさせなければならない。プリント配線板の技術的改善で配線ピッチをシュリンクしたときも同様にチップパッドピッチをシュリンクしなければならない。ドライバチップとメモリチップの改良タイミングは異なり、整合条件が見つけにくくなる。パッドピッチのシュリンクは最も信頼度に影響する接合技術の改良が求められことになり、困難さを伴う。

【0056】

このため、インターポーザとしてのLSIパッケージを使用することで一応の解決が図れるが、図17のような分岐配線長の延長やファンアウト型配線構造(60)が求められる。配線延長は制限範囲内に収める構造的工夫はできても、ファンアウト構造は等長配線という原則が崩れ、同期着信に問題が出る。ファンアウト配線の配線幅が広がるように設計すると特性インピーダンスが変化するという問題もでる。本発明はこれらの問題解決構造についても提案する。

【0057】

図17では便宜上スタックトペア線路的な表現でないが、パッケージ内ファンアウト構造もプリント配線板上の配線もスタックトペア線路であるとする。プリント配線板の線路寸法はファンアウト線路より太くできる、しかもファンアウトの広がり角を調節することで、その寸法が自由に設定できる。すなわちチップパッドピッチと独立に設計できるため、パッケージを使用することは既存技術の主流になっていた。高速信号系では全ての線路に渡って特性インピーダンスが同一であること、等長配線であることが求められる。

【0058】

特性インピーダンス 28Ω を基準にして考える。いま、 $w=200\mu\text{m}$ 、 $\epsilon_r=4.5$ とすると、スタックトペア線路の特性インピーダンス近似式(Harold A. Wheeler) (図15の記号参照)

【0059】

【数1】

$$Z_0 = \frac{377}{\sqrt{\epsilon_r}} \left(\frac{w}{d} + \frac{1}{\pi} \ln 4 + \frac{\epsilon_r + 1}{2\pi\epsilon_r} \ln \frac{\pi\epsilon_r \frac{w}{d} + 0.94}{2} + \frac{\epsilon_r - 1}{2\pi\epsilon_r^2} \ln \frac{\epsilon_r^2}{16} \right)^{-1} [\Omega]$$

【0060】

から、 $d=39\mu\text{m}$ が求まる。ここでは分岐パッドが存在するが、バス構造は終端まで同じであり、特性インピーダンスの不整合を心配する必要は無い。平行等長配線を前提にすると、パッドピッチは $w/2=100\mu\text{m}$ となり、現状技術で

設計可能である。h₂の厚みをプリント配線板プリプレグの標準である60 μmにすれば理想的な層構造となる。

【0061】

一方、パッケージ配線はチップパッドピッチにしたがって設計する必要がある。ここでチップパッドピッチを50 μmとすると、パッケージ上スタックトペア配線のwは100 μmとなる。上式よりd=19.5 μmとなる。これでチップパッドから終端抵抗まで28 Ω伝送線路設計となるが、ファンアウト部の配線長さが異なるため、図18のような工夫をする。

【0062】

ファンアウト配線に対する等長配線の公知例としてジグザグ蛇行構造のミアンダー配線が良く採用されているが、隣接効果で電磁界的に複雑な伝送特性になるため、図18のように円弧が等長であるようにレイアウトする。ミアンダーのような折れ曲り反射が無い場合、スムーズな伝送が期待されるだけでなく、隣接配線間距離も比較的広く取れるためクロストークに対しても有利な配置となる。

【0063】

幾何学的な円弧で設計する計算式を構築すると、図19にしたがい、次のようになる。ここで、A、Bをパッドとする。弦AB=l₁は最外端パッド間の直線距離とする。これを変数とし隣接パッド間において円弧ABを一定とする半径OP=r₁を見出す関係式を導く。∠ACOは直角、∠AOB=θ₁とする。いま、線分PC=r₁-h₁、CO=h₁とすると、 $(l_1/2)^2 = r_1^2 - h_1^2$ が得られ、 $\theta_1/2 = \tan^{-1}(l_1/2h_1)$ 、円弧AB=r₁θ₁ [ラジアン]である。これらの式からh₁を適当に決めるとr₁が求まる。円弧AB=r₁θ₁は一定として次以降のパッド間距離l_xに対して次々とh_xとr_xを求めることができる。l_xと各パッド間の半径r_xは、

【0064】

【数2】

$$\text{円弧 AB (一定)} = 2r_x \tan^{-1} \left(\frac{l_x}{2\sqrt{r_x^2 - \left(\frac{l_x}{2}\right)^2}} \right)$$

【 0 0 6 5 】

もちろん、円弧 A B は楕円や任意の高次曲線でもよく、急激な曲がりのないことが本発明の特徴となる。

さて、パッケージを使用した構造案を提示したが、最近パッケージを省略してプリント配線板上にチップを直接接続し、ファンアウト配線を経た後並行バス配線とする設計手法がよく用いられているが、線幅 w に応じてペア線間距離 d を変更することは同一基板上で作りにくい。たとえ作ったとしてもコスト高になり、その段差部分の接続信頼度が低下する。次なる提案はペア線路間 d を一定にして w を変える構造に関するものである。図 2 0 にこれを示す。ファンアウト構造の部分はマイクロストリップ線路かストリップ線路とし、並行バス線路はスタックトペア線路として使い分けることを提案する。

【 0 0 6 6 】

マイクロストリップ線路やストリップ線路はグランド面に対して電界が広がるため、単位長さ当たりのキャパシタンス C_0 が増大する。その結果

【 0 0 6 7 】

【数 3】

$$Z_0 = \sqrt{\frac{L_0}{C_0}}$$

【 0 0 6 8 】

は同一線幅 w であれば小さくなる。逆に Z_0 を一定とすれば w を小さくできることになる。マイクロストリップ線路の近似式 (Harold A. Wheeler) (図 1 5 の記号参照) は、

【 0 0 6 9 】

【数 4】

$$Z_0 = \frac{377}{2.828\pi\sqrt{\epsilon_r+1}} \ln \left[1 + \frac{4d}{w} \left(\frac{14 + \frac{8}{\epsilon_r}}{11} \frac{4d}{w} + \sqrt{\left(\frac{14 + \frac{8}{\epsilon_r}}{11} \right)^2 \left(\frac{4h}{w} \right)^2 + \frac{1 + \frac{1}{\epsilon_r}}{2} \pi^2} \right) \right] \quad [\Omega]$$

【0070】

となる。 $Z_0 = 28 \Omega$ とすると、 $d = 39 \mu m$ で $w = 170 \mu m$ が算出される。導体厚み ($t = 25 \mu m$) の影響を補正するには、経験的に導体厚み t ($25 \mu m$) をマイナスすればよく、補正された線幅 $w = 145 \mu m$ が得られる。スタックペア線路 $w = 200 \mu m$ に対して同じペア線間スペース $d = 39 \mu m$ で、マイクロストリップ線路にすると線幅 $w = 145 \mu m$ まで微細化が可能となる。

【0071】

チップパッドの間隔が $50 \mu m$ ピッチ、ファンアウト配線の線幅が $w = 100 \mu m$ の設計に対して線幅 $w = 145 \mu m$ は不足であるが、パッドの極近傍で絞り込むことで対応が可能となる。絞り込む配線長は分岐配線長と同じ考えでよく、コラム、ビアホール等のインピーダンス不整合の長さに対する対応と同様に ($6 \times$ 絞り込み長さの総合遅れ時間) < (立ち上がり時間) とすればよい。

【0072】

メモリチップが信号を発信するときは図 21 に示す方法をとる。メモリのドライバより発信した信号はバス線路の両サイド (72, 73) に信号が流れる。同じ特性インピーダンスであるため、エネルギー保存の法則から、信号電圧は $1/2$ となる。右方向へ流れる信号は無駄信号であり、終端に配置したレシーバが感応しないようにしなければならない。さらに、ここで全反射して左のコントローラチップに戻ると、不要信号であるにもかかわらず感応する。これも防止しなければならない。メモリがストローブされて信号が発信するとき、右端のレシーバはその信号を受けてノンアクティブになると共に、終端抵抗 (70) がアクティブになって無駄信号はここで消滅する。

【0073】

一方、コントローラチップ（74）に到達した、1/2 正規信号はコントローラのレシーバ回路（遺伝的アルゴリズム回路を含む）を駆動し、そこに付属している終端抵抗（75）で吸収され消滅する。しかし、すでに記憶した全反射信号変形から、1/2 だけ修正した波形でセンスアンプに取り込まれるため、正しい波形で、正しいタイミングで認識する。

【0074】

ドライバ、レシーバともに外側から見たとき常にハイインピーダンスであることから、1ビットのバスで送受信回路を併設することは何ら問題のないことになる。

・ 遺伝的アルゴリズム回路

遺伝的アルゴリズム回路により調整される回路の1実施例を示す。

【0075】

以上に示す回路は伝送路の特性を規定する L_0 、 C_0 以外の独立した L と C を存在させることを極力排除し、周波数特性を無くしたものである。すなわち、式で表すと特性インピーダンス Z_0 は、

【0076】

【数5】

$$Z_0 = \sqrt{\frac{j\omega L_0}{j\omega C_0}} = \sqrt{\frac{L_0}{C_0}}$$

【0077】

となり、イマジナリパート（虚数部分）と各周波数を消去した形、言い換えればインピーダンスが純抵抗成分である伝送線路を構成したことになる。

しかし、いくら完全に設計しても製造条件のばらつきなどで寄生する独立した微小な相互インダクタンス（ M ）と容量（ C ）が存在することになる。これを表現すると図25のようになる。図10に見られる伝送線路は電磁界がほぼ閉じた伝送線路であり、上記の式にしたがい、同軸ケーブルに近い特性をもっている。そこで図24では伝送線路的表現を取っている。この伝送線路間に弱い MC 結合

が存在するという概念となる。線路間以外にも筐体やビアホール、コネクタなどでのMC結合が考えられ、これらの弱いMC結合による問題は低周波では無視できるものである。しかし、10GHz以上のパルスは回路全体のわずかな寄生的MとCが大きく影響する。それをアドミッタンスYで表すと、

$$Y = j(\omega C - 1/\omega M)$$

となり、 ω の増大で大きく変化するだけでなく、 $\omega C - 1/\omega M = 0$ の条件で共振する。このように避けられない実用的問題を排除する回路の挿入が不可欠になる。本発明は、遺伝的アルゴリズムでこの寄生MとCを相殺するLCネットを自動的に作り、ドライバ信号に重畳させることを提案する。その構成は、

(1) 高速信号を確保するため、波形整形は純粹のLCRネットとし、そのどの部分を動作させるかは、電荷ポンプアップ、ポンプダウン型トランジスタで行う構成とする。

【0078】

(2) テスト信号を発信して、全反射信号を終端抵抗で取り込むが、その電圧を感知し、波形解析を行う。その解析ステップは波形整形の相補的逆変換であるLCRネットとする。

【0079】

(3) テスト信号補正を行った遺伝的アルゴリズム回路はシステム変化が起こるまで、記憶しているものとする。

このアルゴリズムを図示すると図22のようになる。

【0080】

LCRネットワーク内の回路接続を制御トランジスタで自由に変更可能な構成として、受信端で本来のデジタル信号波形が受信できるように受信波形を検出してそれと相補的になる波形に送信波形を調整する。この調整は、遺伝的アルゴリズムにより実行される。その波形の一例を図23に示す。遺伝的アルゴリズムは、確率的探索手法の一つであり、(1) 広域探索において有効に作用し、(2) 評価関数値以外には微分値等の派生的な情報が必要でなく、(3) しかも容易な実装性を持つ、アルゴリズムである。従って、本発明においては、調整パラメータの探索に遺伝的アルゴリズムを用いると好適である。この調整方法は他の確率的探

索方法でもよく、遺伝的アルゴリズムに限らず、山登り法、焼き鈍し法、枚举法、進化政略、タブーサーチ法のいずれか、あるいはこれらの組み合わせでもよい。

【 0 0 8 1 】

なお、遺伝的アルゴリズムの基本回路および調整方法は、特願平 1 1 - 2 4 0 0 3 4 号「電子回路およびその調整方法」（特開 2 0 0 0 - 1 5 6 6 2 7）を準用する。回路が固定的である限り、修正は 1 度限りであり、システム出荷段階で遺伝的アルゴリズムを実行するコンピュータは外付けでよく、システムに包含させる必要はない。

【 0 0 8 2 】

遺伝的アルゴリズムの LC 回路を一例で示すと図 2 6 のようになる。図 2 6 の遺伝的アルゴリズム出力 LC ネット 8 1 は模式的に表現しているが、その具体的回路を図 3 4 ～図 3 8 に示す。

【 0 0 8 3 】

図 3 3 を用いて遺伝的アルゴリズムによる波形の調整方法を述べると、以下のとおりである。

・ 共通概念

受信側できれいな波形になるように送信側の波形を調整（波形整形）して、信号伝送の品質を上げる。いわゆる等化の一種である。

【 0 0 8 4 】

波形評価回路 9 1 は波形の善し悪しを評価して電圧を出力する回路である。この結果の値を遺伝的アルゴリズムの評価関数値として用いて、遺伝的アルゴリズム（GA）により波形整形の状態を最適に制御する。具体的には、図 3 3 において、ドライバは、送信データを差動対の伝送線路に出力するもので、波形調整機能を有する。レシーバは伝送線路からの信号入力から受信データを得るものである。波形評価回路 9 1 は、レシーバーで受信する信号波形の歪みの程度を定量的に評価する機能を有する回路であり、受信波形の評価結果に対応する電圧値を出力する。外部装置 9 2 は、確率的探索手法である遺伝的アルゴリズムを実行して

、波形の調整値をドライバに出力する。ドライバー出力の送信波形は外部装置 92 からの制御信号により調整される。ここで、波形評価回路 91 の出力する電圧値は、遺伝的アルゴリズムにおける評価関数値であり、この電圧値が外部装置 92 に入力され、受信信号波形の評価値が最良となるように遺伝的アルゴリズムにより波形の調整値が探索される。その結果、波形の最適化が行われる。

【0085】

波形整形の方法として、次の、周波数軸による調整と時間軸による調整の 2 つがある。

・周波数軸による調整（図 34）

周波数軸による調整の一例として、図 34 に示す等化フィルタを用いる構成について説明する。図 34 の等化フィルタの回路は、図 33 のドライバに実装される。該等化フィルタ回路は、伝送線路で発生する信号波形の歪みに対して、周波数軸上での振幅の補償と、周波数軸上での位相の補償を行い受信波形の歪みを最小化する。振幅の調整を主に行う回路図 34（a）と位相の調整を主に行う回路図 34（b）の少なくとも 2 種類の回路を縦続接続した等化フィルタ回路で波形整形を行う。

【0086】

この回路において、図中の抵抗 R の抵抗値とコンデンサ C の容量値を、遺伝的アルゴリズムによって受信波形の歪みが最小となるように調整する。抵抗 R とコンデンサー C のみの調整では、等化フィルタの定抵抗条件（反射信号がない最適条件）を満たすことが困難であり、一般にこの条件では特性の解析がきわめて困難な場合であるが、受信波形が最良（最小歪み）となる送信波形を GA が検索してくれる。

（以下本文中において、「 」（オーバーライン）を付す場合、表記の制限の都合上、「 」（アンダーライン）に置き換えて表記する。）

・時間軸による調整（図 35～図 37）

時間軸による調整の一例を、図35～図37を用いて説明する。ここで説明する回路は図33のドライバに実装される。まず、図35は送信波形を時間軸上で調整する回路の動作原理を示す。この回路は、切替回路93（スイッチアレイが $S_1 \sim S_n$ 、それに応じた出力信号が $P_1 \sim P_n$ および $\underline{P_1} \sim \underline{P_n}$ 、ここで P_n と $\underline{P_n}$ は相補信号）、差動入力データを所定のタイミングだけ遅延させる遅延回路94、アナログの直流可変定電流源95（各電流値を $C_1 \sim C_n$ とする）、高速スイッチ96（切替回路93からのデータ出力信号 $P_1 \sim P_n$ 、 $\underline{P_1} \sim \underline{P_n}$ を受けて相補的にスイッチがON、OFFする）から構成されている。

【0087】

送信データである一組のデータ入力（この相補信号はデータ入力）のデジタル信号を受け、最初に切替回路93のスイッチ S_1 を経由して P_1 、 $\underline{P_1}$ の信号が変化し、 P_1 、 $\underline{P_1}$ に対応する高速スイッチ96を動作させる。これにより C_1 に対応する可変定電流源95の出力電流（電流の設定値が C_1 ）を切り替えて、出力電流 I_{out} 、 $\underline{I_{out}}$ の一要素を得る。

【0088】

同様に一組のデータ入力のデジタル信号は、各遅延回路94を経由して所定の複数の遅延のタイミングが設定され、一連の信号 $P_2 \sim P_n$ 、 $\underline{P_2} \sim \underline{P_n}$ が生成される。これらは次々と高速スイッチ96を動作させる相補信号 $P_2 \sim P_n$ 、 $\underline{P_2} \sim \underline{P_n}$ であり、各可変定電流源95の各電流 $C_2 \sim C_n$ を通電する。

【0089】

各高速スイッチは出力側が非反転信号、反転信号のそれぞれについてすべて並列に接続されているので、合成された相補電流 I_{out} 、 $\underline{I_{out}}$ を得る。高速スイッチ96の各部においては、入力データから所定の複数のタイミングを持つ電流波形が重畳され、波形整形が行われる。

【0090】

上記で合成された電流 I_{out} 、 $\underline{I_{out}}$ は、図中、データ出力およびデータ出力として出力される。この出力信号が図33におけるドライバの出力信号である。伝送線路での波形歪みを補償する波形が出力されるとレシーバでの入力波形は歪みが最小となる。

【0091】

図33における波形評価回路91の出力電圧値をもちいて外部装置92で実行する遺伝的アルゴリズムにより、可変定電流源95の電流値 $C_1 \sim C_n$ および切替回路93のスイッチ $S_1 \sim S_n$ の設定が最適化される。その結果、レシーバでの受信信号の歪みが最小となる送信波形に自動調整される。

【0092】

高速スイッチ96を5組(P_1 , $\underline{P_1}$, P_2 , $\underline{P_2}$, P_3 , $\underline{P_3}$, P_4 , $\underline{P_4}$, P_5 , $\underline{P_5}$)で構成した時の、各スイッチを流れる電流の波形(波高値は $C_1 \sim C_5$ に相当)を図36に示す。各々の高速スイッチ96(P_1 , $\underline{P_1} \sim P_5$, $\underline{P_5}$ に対応)を流れる電流の合成されたものが I_{out} および $\underline{I_{out}}$ である。各高速スイッチ96を流れる電流は差動になっているから、その合成である I_{out} , $\underline{I_{out}}$ も差動電流となる。図35に示した原理構成を実装例として示したものが図37である。各動作要素ブロックは同一番号93, 94, 95, 96として示した。ここでスイッチ要素になるトランシスタはFETで表現したが、バイポーラトランシスタでも可能である。

【0093】

このような波形整形を行わない場合と上記のように時間軸上で波形整形を行った場合の比較例を図42, 図43に示す。波形整形を行わない図42の場合、図42(a)の理想的な矩形波110を送信波形(ドライバの出力電圧)として送信した場合の伝送線路を通過した後の受信波形を計算機上でシミュレーションすると、図42(b)の111のような受信波形が得られる。これは高い周波数成分が伝送線路で減衰したためで、デジタル信号の「1」と「0」が曖昧になっている。

【0094】

一方、遺伝的アルゴリズムによって時間軸上で波形整形を行った場合の送信波形112、受信波形113は図43(a), (b)に示される。この場合、伝送線路を通過した受信波形113のデジタル信号の「1」と「0」を理想に近い波形にするべく送信波形112が調整されるので、受信波形113がデジタル信号の「1」と「0」に対応する電圧地となり、電圧のずれの少ない、理想状態に近い

い波形が得られている。

【0095】

なお、他の実施例としては、線路の構成の新しい構成方法としてスタックドペア線路（図10）で上下の線路幅を変えることで線路の位置ずれに対する線路の特性インピーダンスの変化を小さくできる。また、このとき、ペア線路の上下の絶縁層の厚さを変えることでコモンモードインピーダンスを同じにできるので、このような工夫をこの発明に追加してもよい。

【0096】

【発明の効果】

以上述べたように、種々の工夫に基づいた本発明の高速信号伝送システムによれば、2GHz以上の高速クロック周波数のLSIチップに対応し、チップクロックと同じ伝送クロックのI/Oバスが実現できる。

【0097】

これは、従来533MHzしか実現できなかったI/Oバスを飛躍的に高速にすることができるという顕著な効果を奏する。

その基本は、20GHzに達する高速パルスの伝送帯域に巧妙に整合あせる工夫にあり、また浮遊容量や寄生インダクタンスを巧妙に吸収させ、あるいはキャンセルさせる工夫にある。

【0098】

これら工夫は「新規性」があり、また、遺伝的アルゴリズムの活用も見逃せない効果を奏する。

かくして、LSIクロックと整合したI/Oバンド幅が確保でき、LSIチップの高速化に対応し、メモリとのデータ転送を含めたデータ処理システム全体の高速化が実現できることになる。

【図面の簡単な説明】

【図1】

LSI設計の一般的な配線長の分布を示す図である。

【図2】

本発明のドライバとレシーバを接続する構造の一例を示す図である。

【図 3】

本発明の 3 5 G H z のパルス実効周波数相当のシミュレーションモデル回路を示す図である。

【図 4】

図 3 のシミュレーション結果を示す図である。

【図 5】

本発明の図 2 における n M O S 構造のドライバの断面構造の一例を示す図である。

【図 6】

本発明のバイポーラトランジスタのキャリア再利用回路を示す図である。

【図 7】

本発明のレシーバ端の回路の一例を示す図である。

【図 8】

ドライバの平面構造の一例を示す図である。

【図 9】

ドライバトランジスタ部の断面構造の一例を示す図である。

【図 1 0】

本発明の伝送システムに好適な伝送線路を示す図である。

【図 1 1】

不均質絶縁層における導体周辺の絶縁層の実効比誘電率整合の一例を示す図である。

【図 1 2】

コラム、ビアホールなどインピーダンス不整合の長さのモデルを示す図である。

【図 1 3】

5 0 Ω を基準にしたミスマッチインピーダンスと多次反射エネルギーの通過率を示す図である。

【図 1 4】

バススイッチタイプドライバの一例を示す図である。

【図 1 5】

チップ間伝送線路接続構造を示す図である。

【図 1 6】

チップパッド配列の制約を示す図である。

【図 1 7】

パッケージを用いたときのファンアウト配線構造を示す図である。

【図 1 8】

等長ファンアウト配線の一例を示す図である。

【図 1 9】

円弧 A B を一定にして弦 A B を変数にするためのモデル図である。

【図 2 0】

ペア線路間の距離を一定にして線幅を変える線路構造の一例を示す図である。

【図 2 1】

メモリ側からの送信回路を示す図である。

【図 2 2】

信号修正回路アルゴリズムを示す図である。

【図 2 3】

アルゴリズムを説明する波形の処理ステップの一例を示す図である。

【図 2 4】

本発明のドライバとレシーバを接続する構造(遺伝的アルゴリズム回路含まず)の他の一例を示す図である。

【図 2 5】

線路間の寄生結合素子を示す概念図である。

【図 2 6】

遺伝的アルゴリズムの回路モデルの一例を示す図である。

【図 2 7】

p M O S トランジスタの構造と容量成分の説明図である。

【図 2 8】

ゲート電圧と p M O S バラクタ容量の関係を示す図である。

【図 2 9】

nMOS トランジスタとバラクタを持つ基本回路の一例を示す図である。

【図 3 0】

CMOS バラクタの構造を示す図である。

【図 3 1】

pMOS とゲート電圧の関係を示す図である。

【図 3 2】

nMOS とゲート電圧の関係を示す図である。

【図 3 3】

等化による高速データ伝送の調整方法の説明図である。

【図 3 4】

図 3 3 において、波形を周波数軸上で調整する回路を示す図である。

【図 3 5】

図 3 3 において、波形を時間軸上で調整する回路の原理説明図である。

【図 3 6】

図 3 3 において、波形を時間軸上で調整する場合の各スイッチの電流波形と出力電流波形を示す図である。

【図 3 7】

図 3 5 において、波形を時間軸上で調整する回路の実装例を示す図である。

【図 3 8】

送端終端のみグランドに落とした FET 1 個の基本スイッチ回路の例を示す図である。

【図 3 9】

図 3 8 の回路の波形図である。

【図 4 0】

実測基板のトランジェント解析回路の例を示す図である。

【図 4 1】

図 4 0 の回路の波形図である。

【図 4 2】

波形整形を行わない場合の送信波形と受信波形を示す図である。

【図 4 3】

図 3 3 の波形整形を行った場合の送信波形と受信波形を示す図である。

【符号の説明】

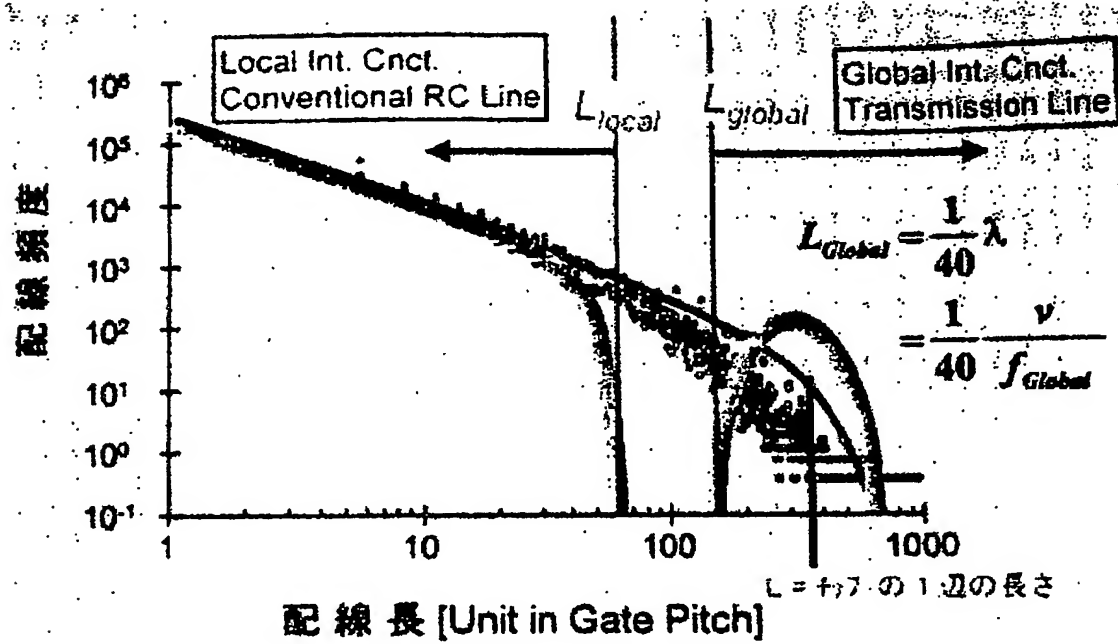
- 1 ドライバ
- 2 レシーバ
- 3 送信端
- 4 レシーバ端
- 5, 6 受端整合抵抗
- 7, 8, 9 トランジスタ・オン抵抗
- 1 0 伝送線路
- 2 1、2 2 トランジスタ
- 5 1 終端抵抗
- 5 2 遺伝的アルゴリズム回路
- 5 3 ドライバ
- 5 5 レシーバチップ
- 9 1 波形評価回路
- 9 2 外部装置
- 9 3 切替回路
- 9 4 遅延回路
- 9 5 可変定電流源
- 9 6 高速スイッチ

【書類名】

図面

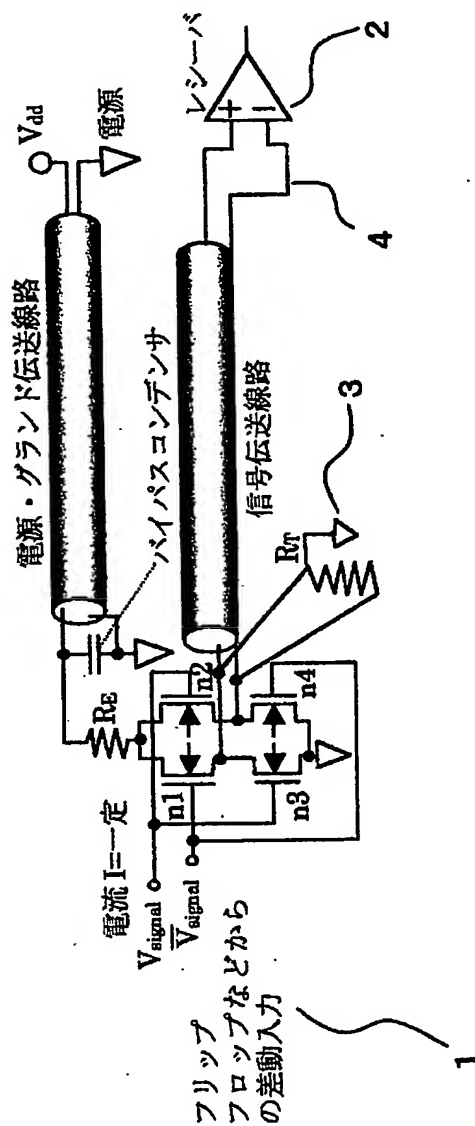
【図 1】

一般的LSIの配線長分布と益(1)によるガイドライン



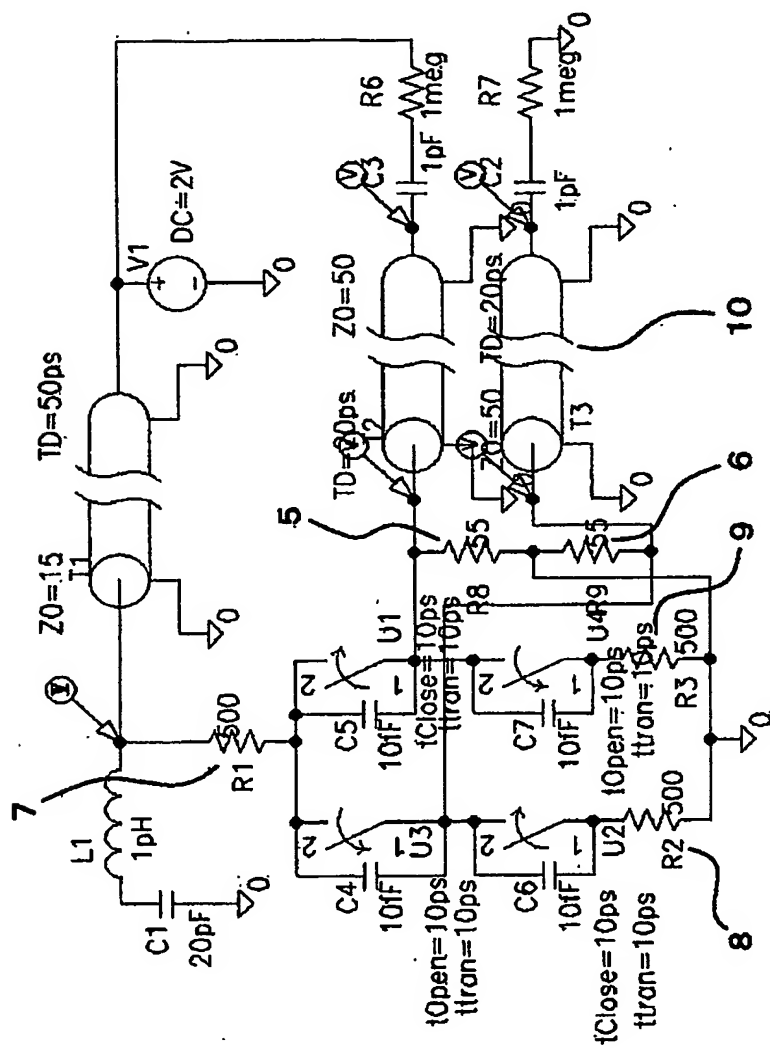
【図 2】

本特許のドライバとレシーバを接続する構造
(遺伝的アルゴリズムを含まず)の一例



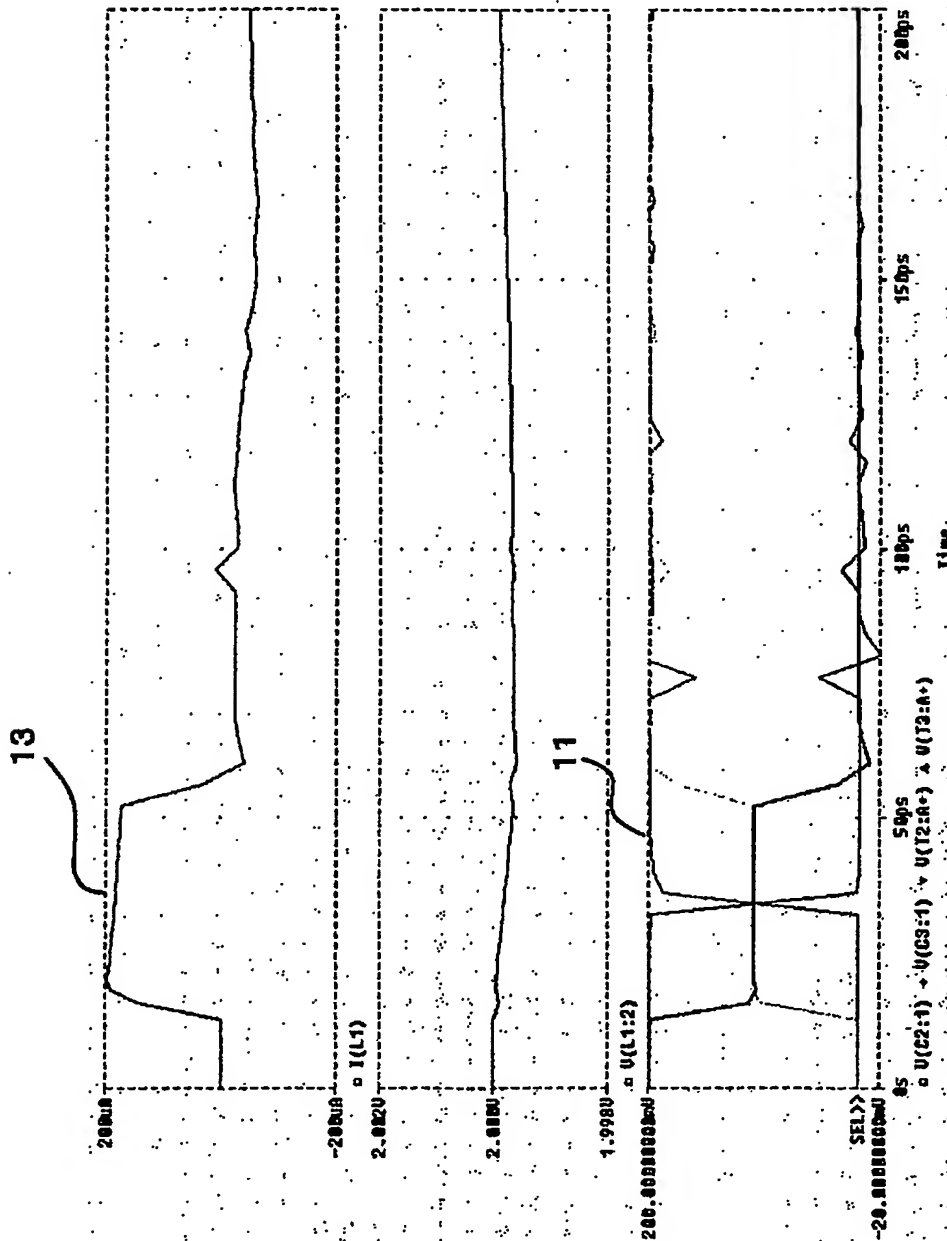
【図 3】

35GHzクロック相当の本特許のシミュレーションモデル回路



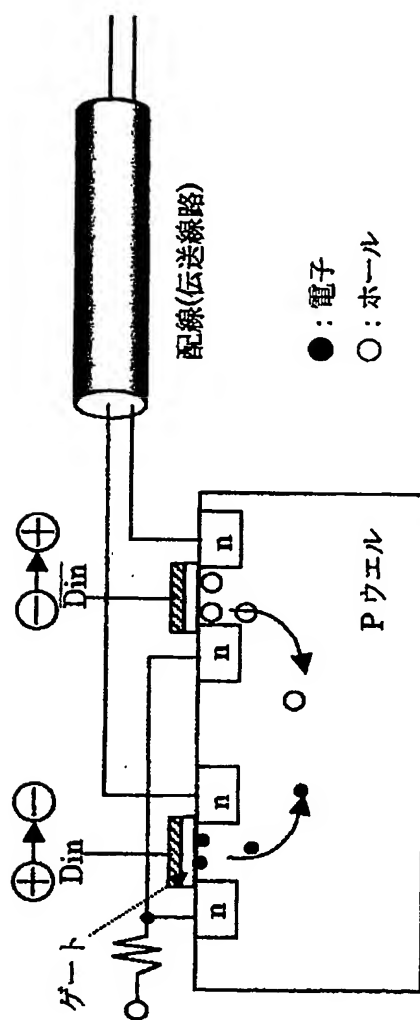
【図 4】

図 2 回路のシミュレーション結果
(上段:電流、中段:電源電圧、下段:送端と終端の信号波形)



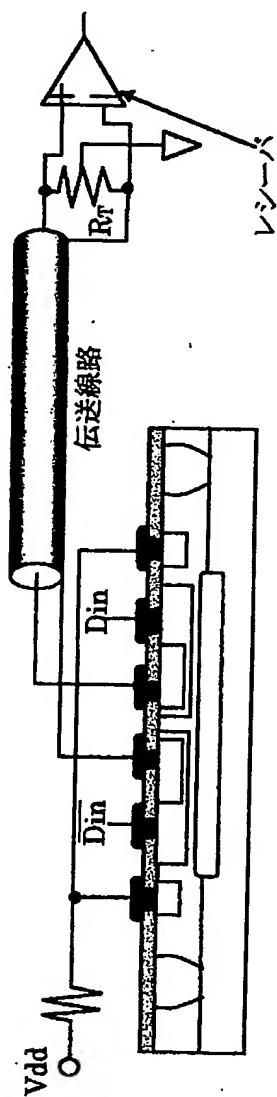
【図 5】

図 2 における nMOS 構造のドライバの断面構造の一例
(pMOS も同様である)



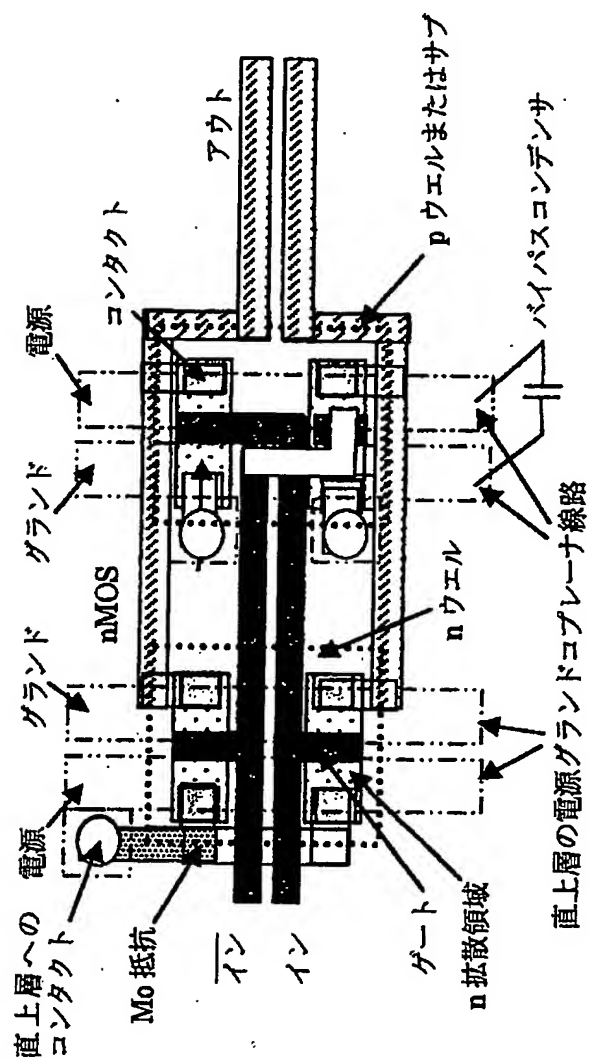
【図6】

バイポーラトランジスタのキャリア再利用回路



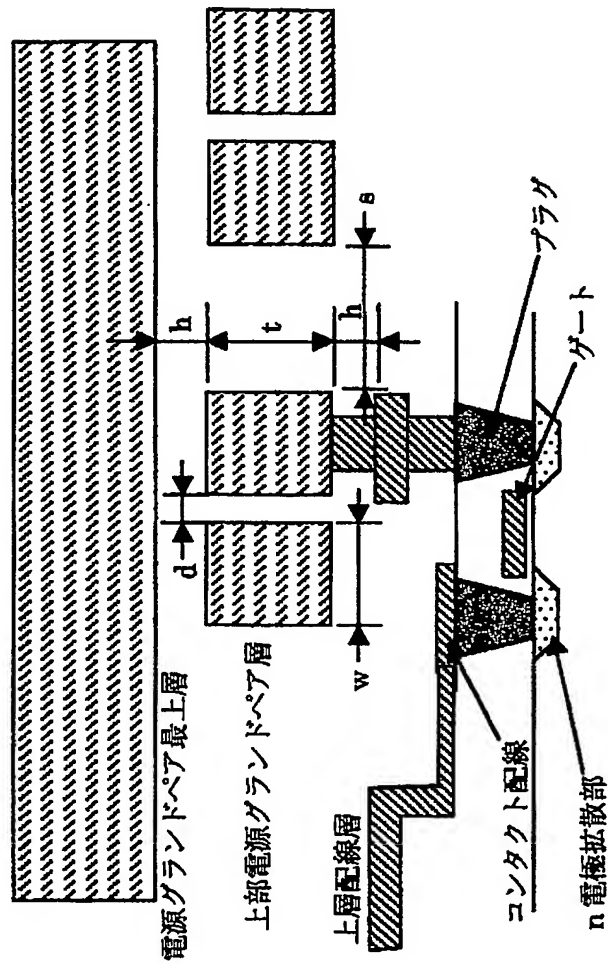
【図8】

ドライバの平面構造の一例



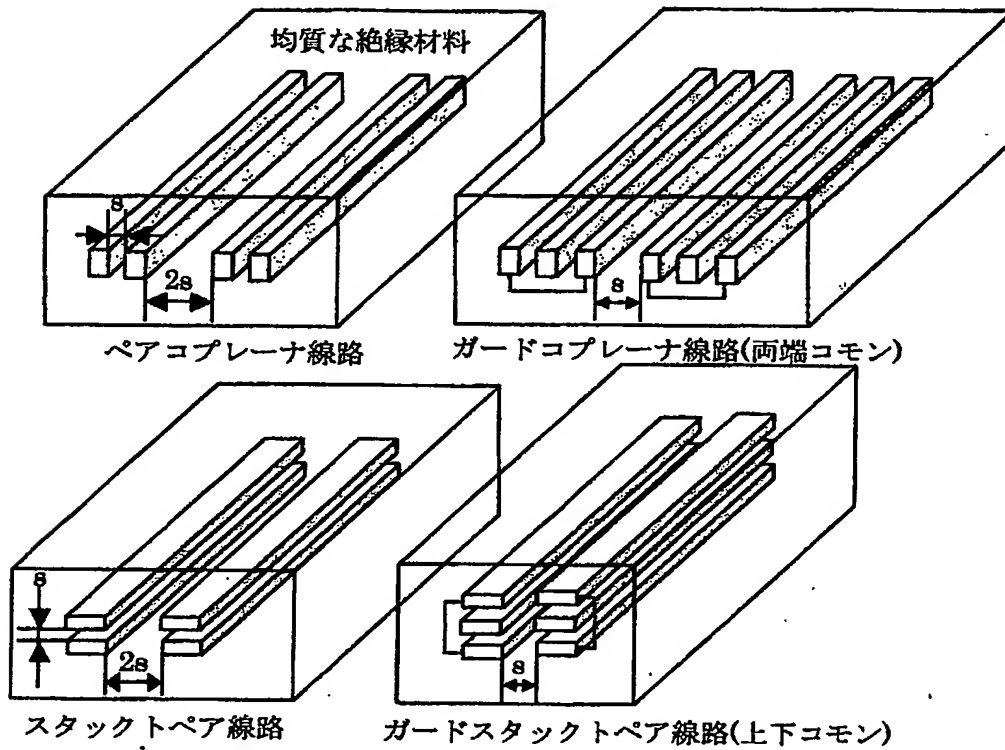
【図9】

ドライバトランジスタ部の断面構造を示す一例



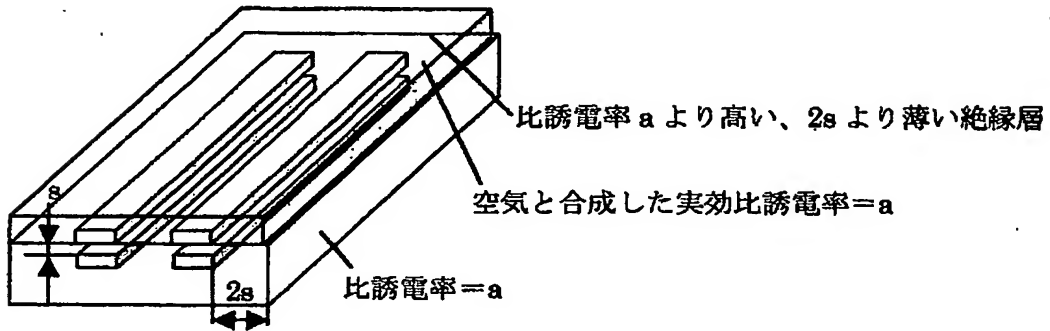
【図10】

本特許提案に適切な伝送線路(それぞれ2対記述)



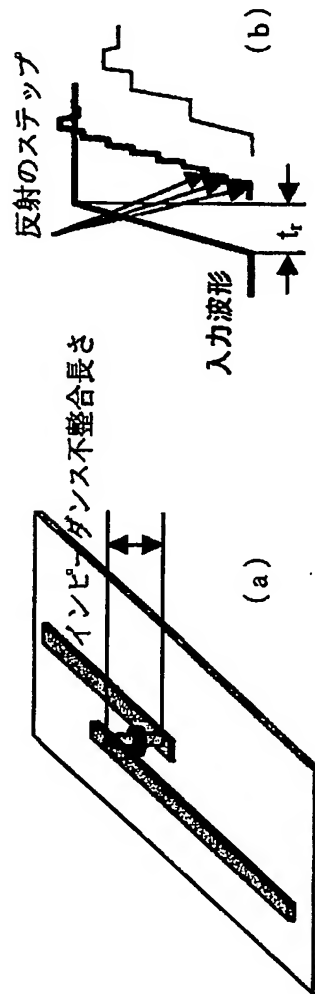
【図 1 1】

不均質絶縁層における導体周辺の絶縁層の実効比誘電率整合の一例



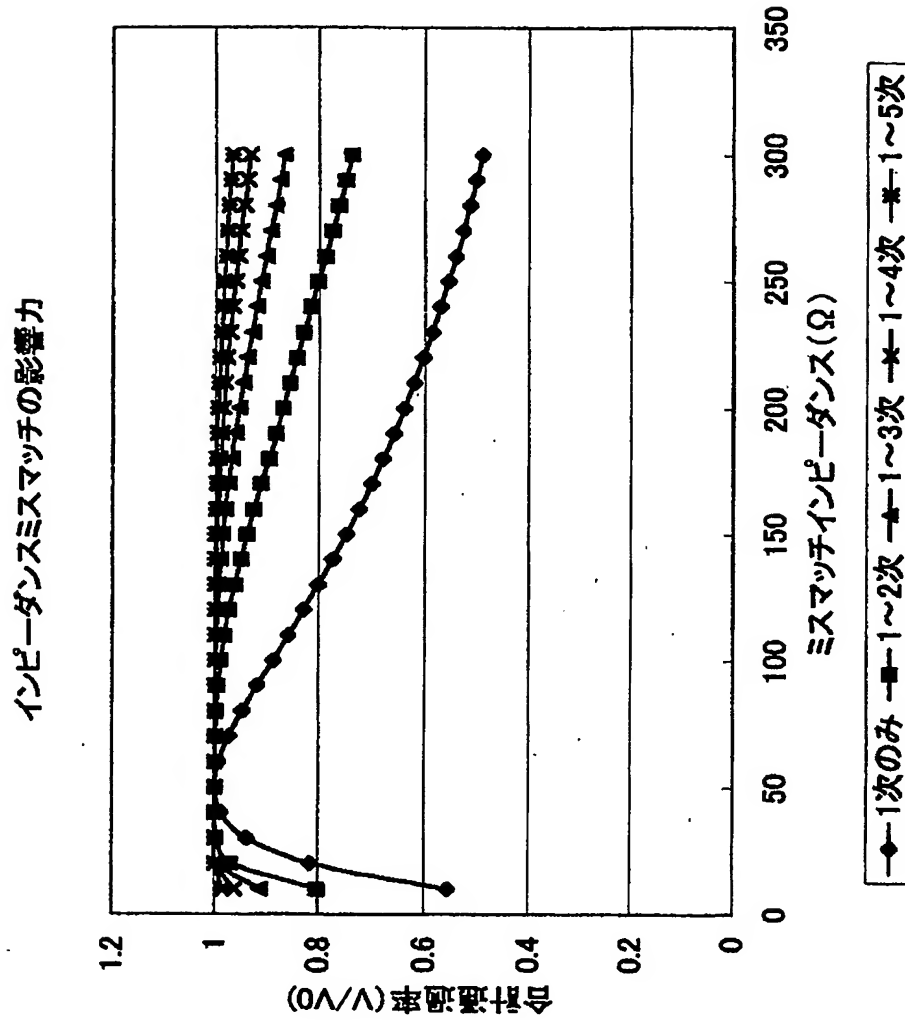
【図 12】

コラム、ビアホールなどインピーダンス不整合の長さのモデル



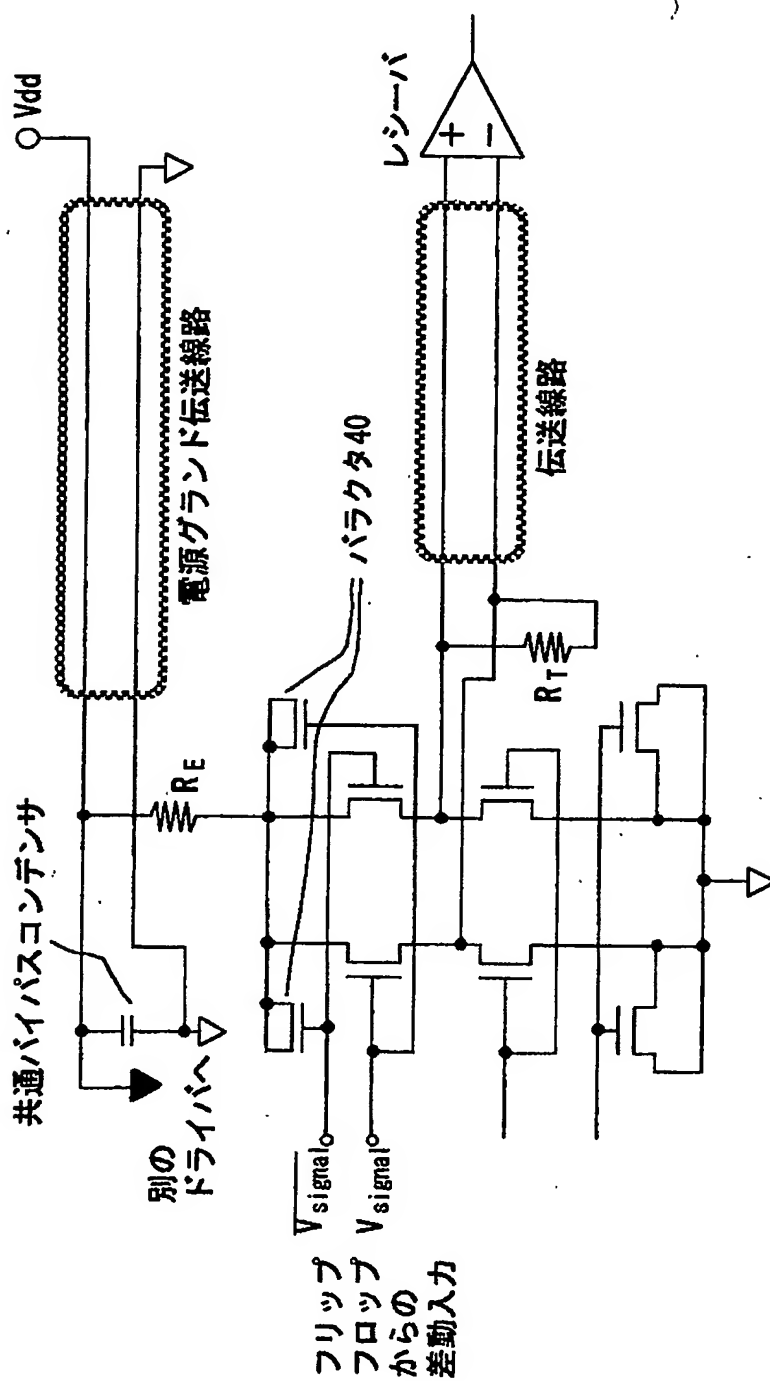
【図 13】

50Ωを基準にしたミスマッチインピーダンスと
多次反射エネルギーの通過率



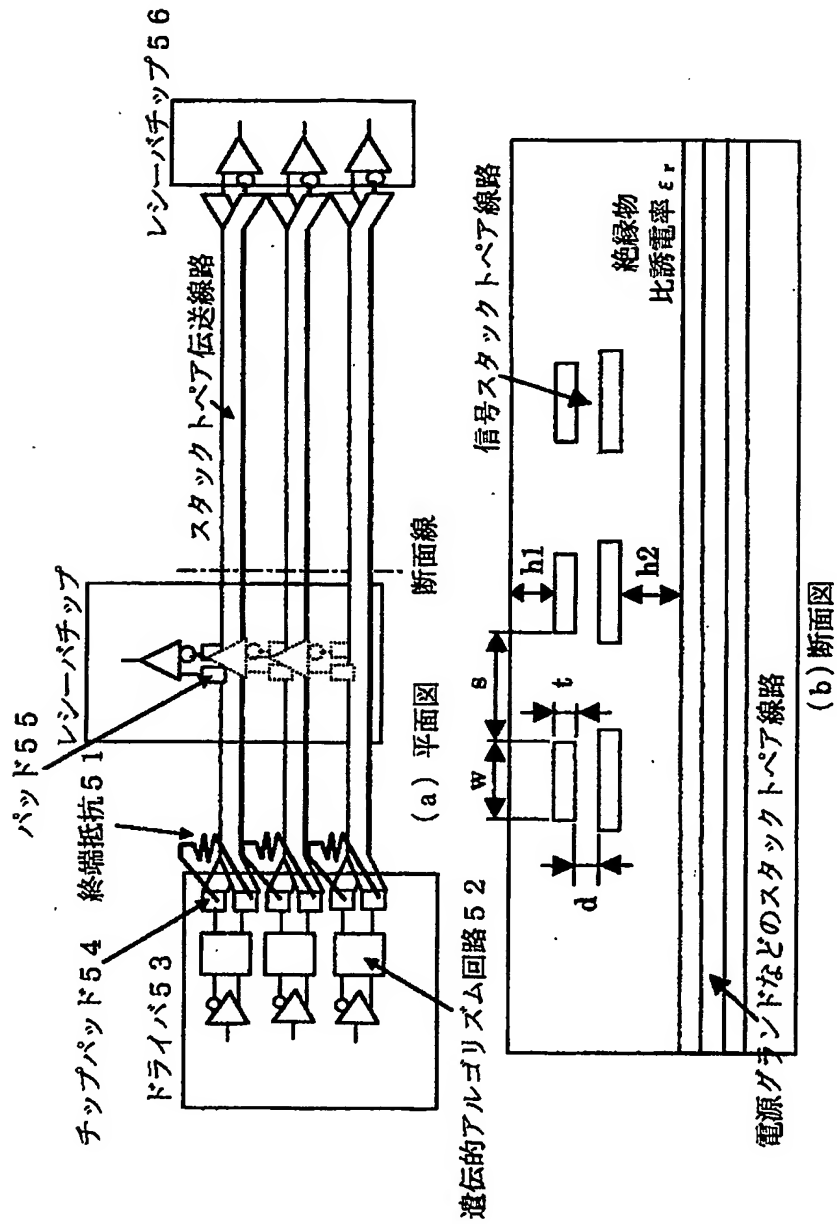
【図14】

バススイッチタイプドライバの一例



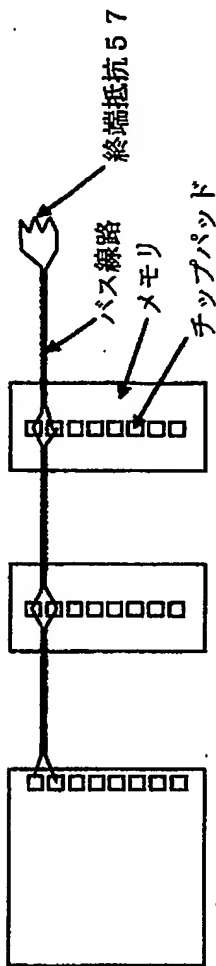
【図15】

チップ間伝送線路接続構造



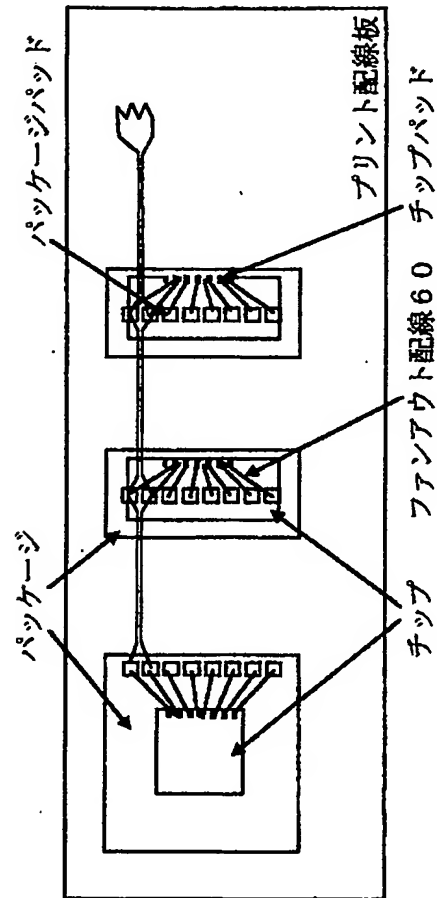
【図 1 6】

チップパッド配列の制約



【図 17】

パッケージを用いたときのファンアウト配線構造



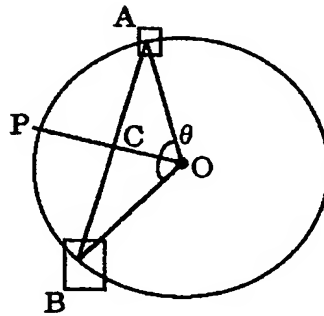
【図18】

等長ファンアウト配線の一例



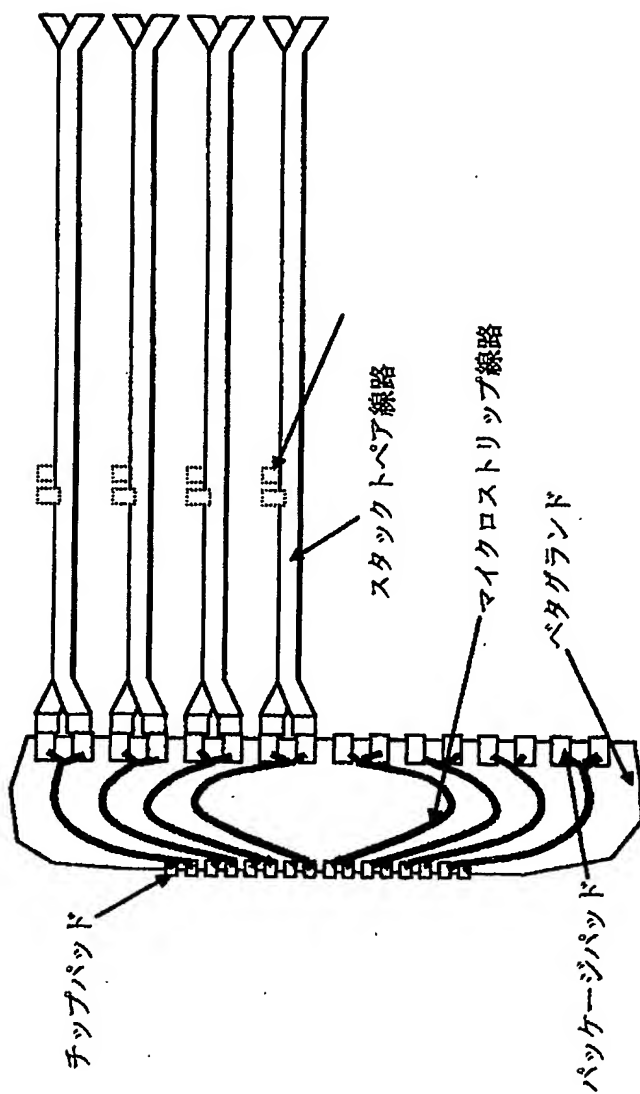
【図 1 9】

円弧 AB を一定にして弦 AB を変数にするためのモデル図



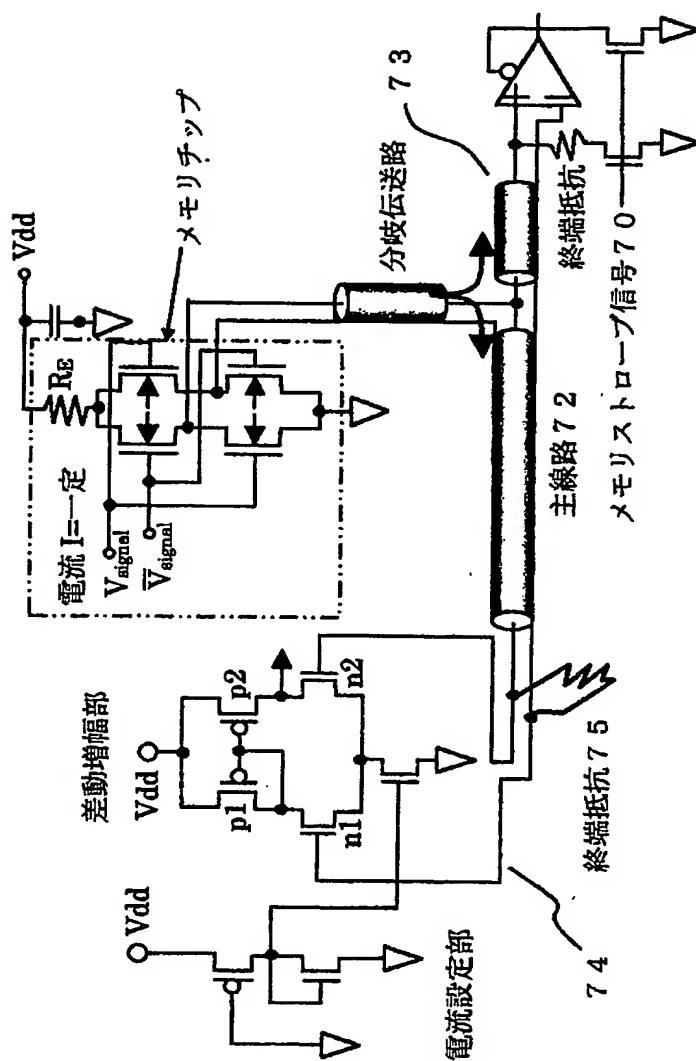
【図20】

等長ファンアウト配線の一例



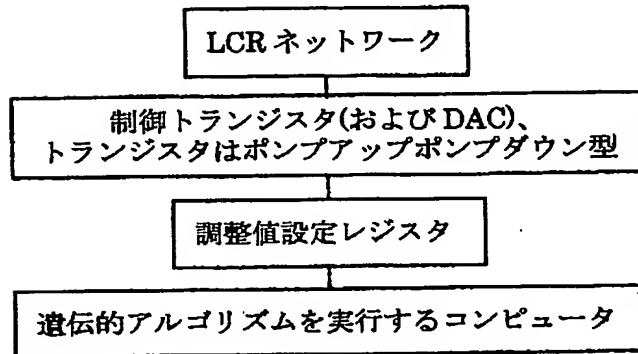
【図 21】

メモリ側からの送信回路



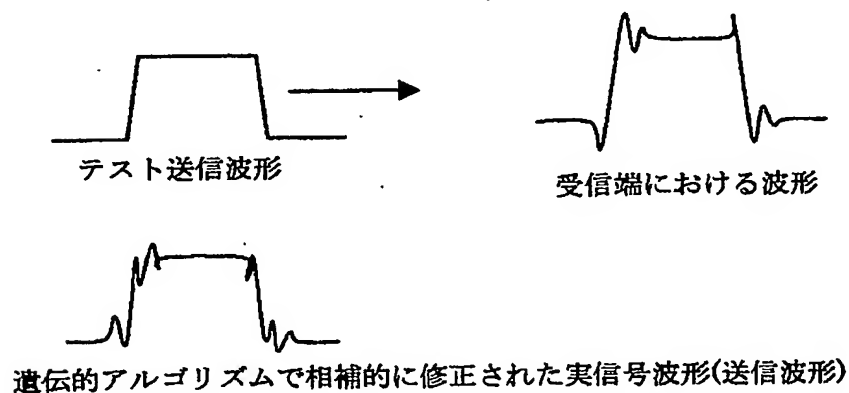
【図 2 2】

信号修正回路アルゴリズム



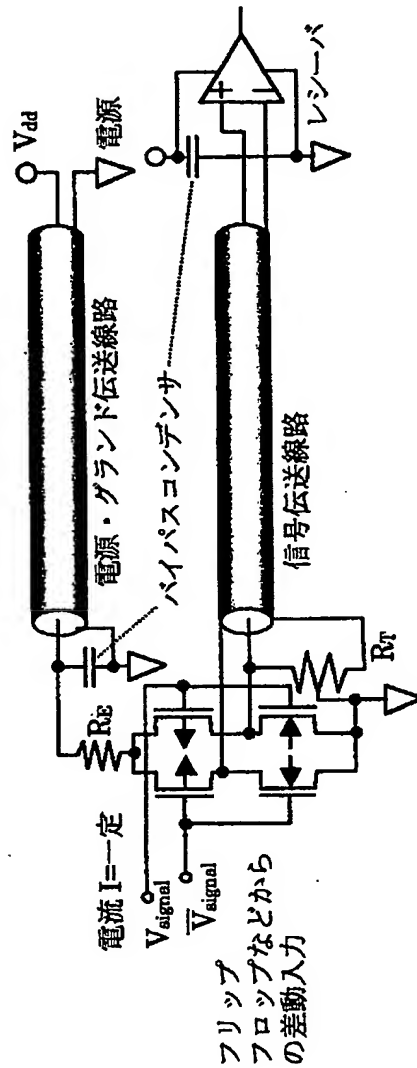
【図 2 3】

アルゴリズムを説明する波形の処理ステップの一例



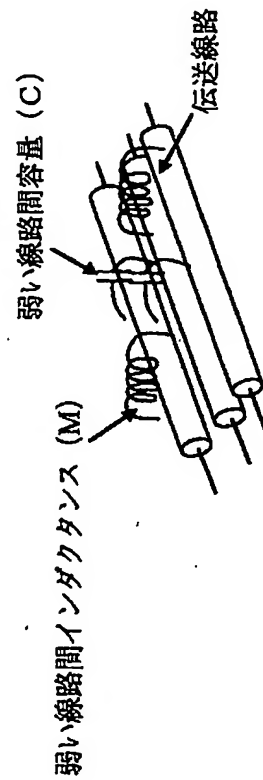
【図 24】

本特許のドライバとレシーバを接続する構造



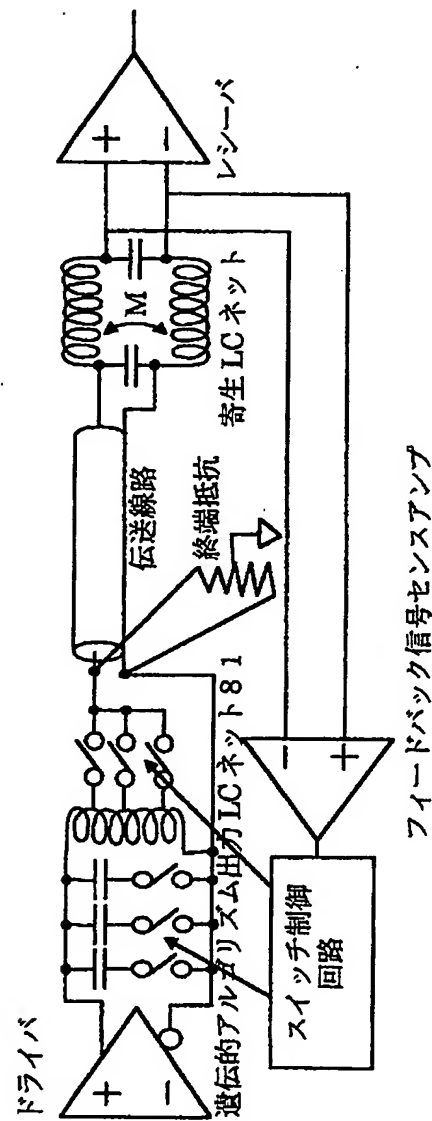
【図 2 5】

線路間の寄生結合素子を示す概念図



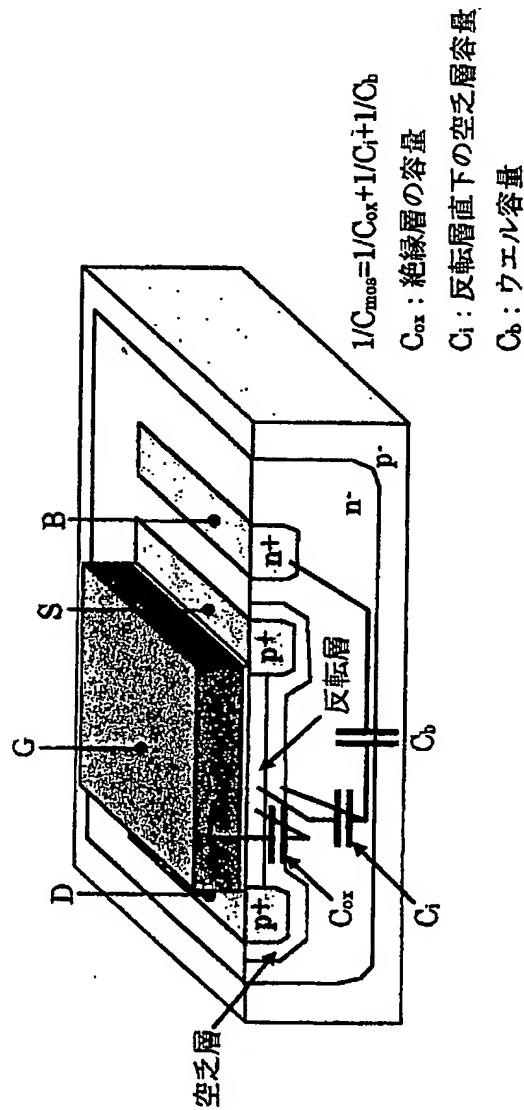
【図 2 6】

遺伝的アルゴリズムの回路モデルの一例



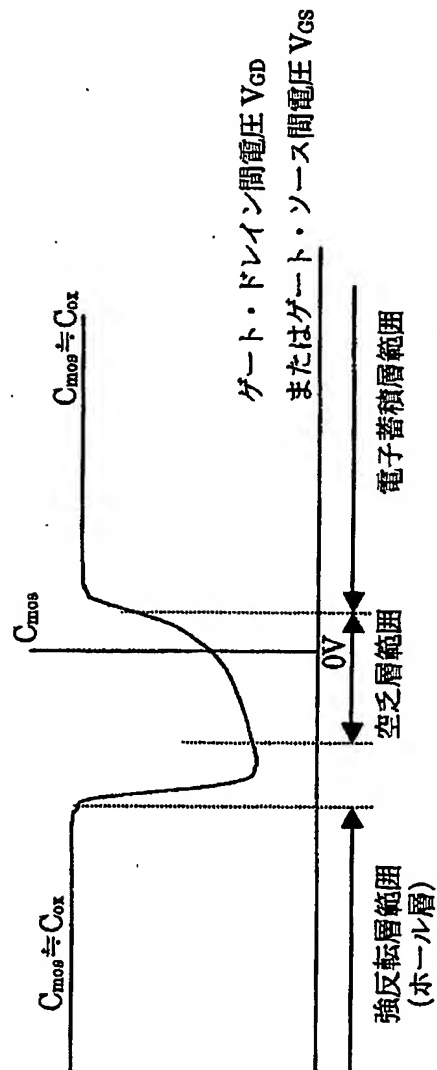
【図 2 7】

pMOSTランジスタの構造と容量成分



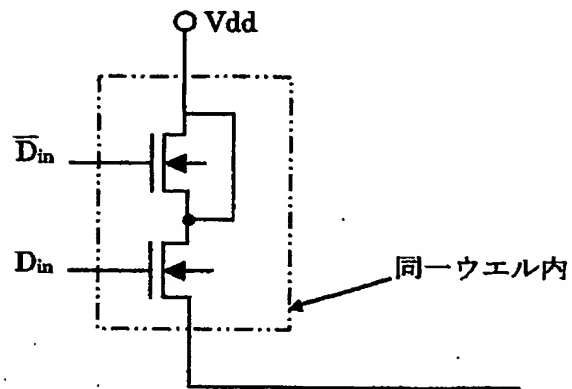
【図 28】

ゲート電圧とpMOSバラクタ容量



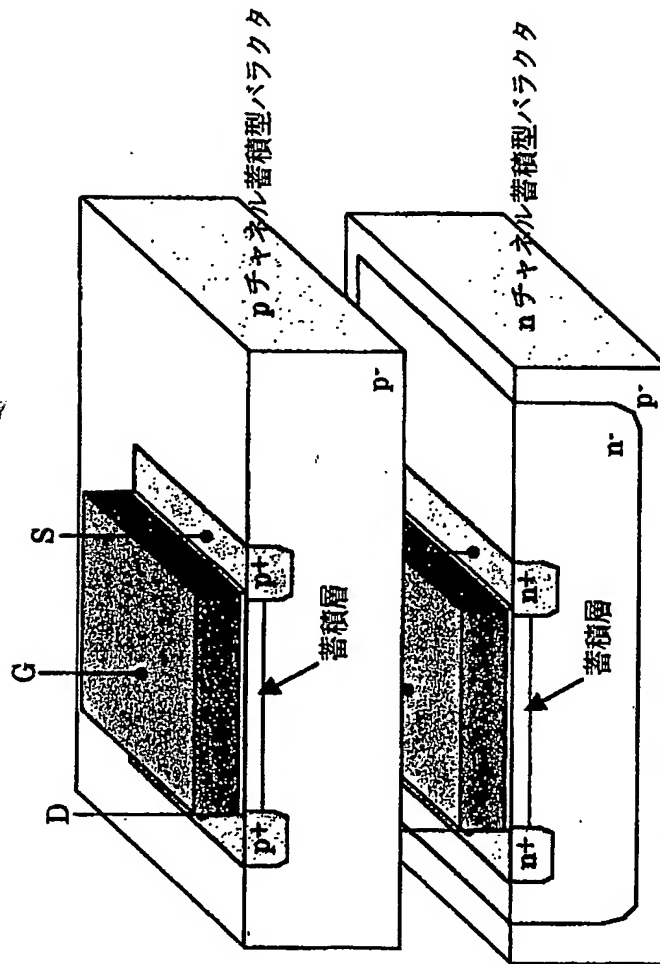
【図 29】

バラクタを持つ基本回路の一例



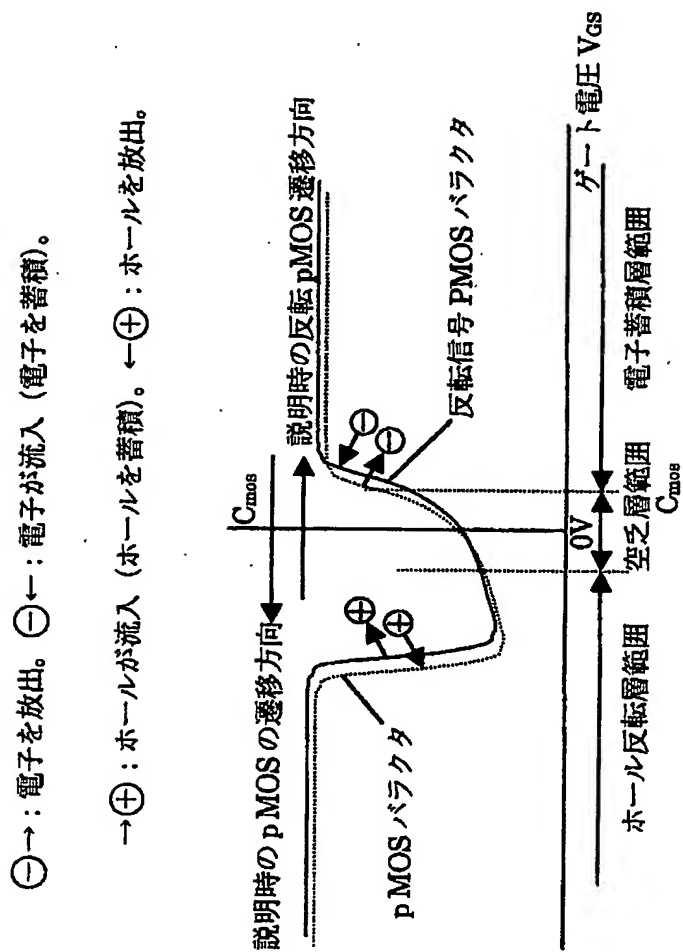
【図 30】

バラクタの構造



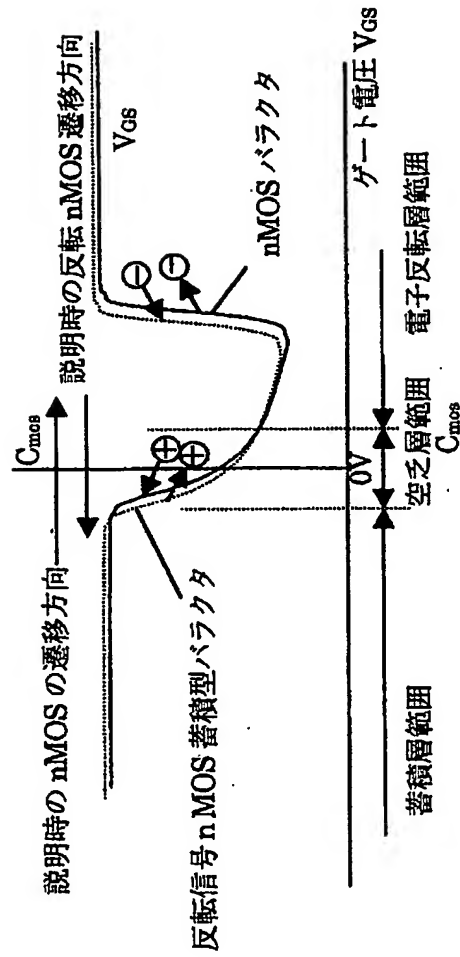
【図 31】

pMOS



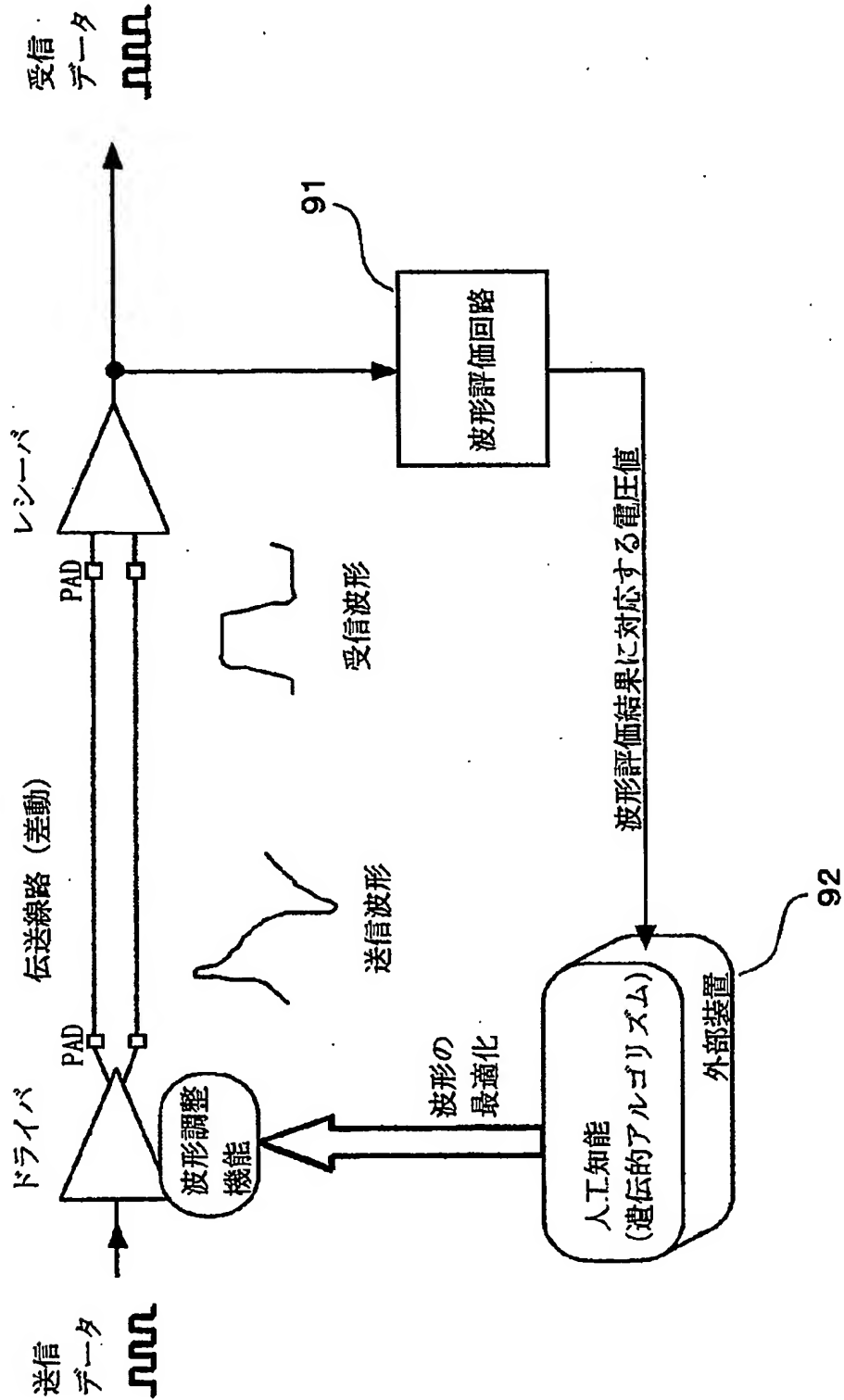
【図 3 2】

nMOS



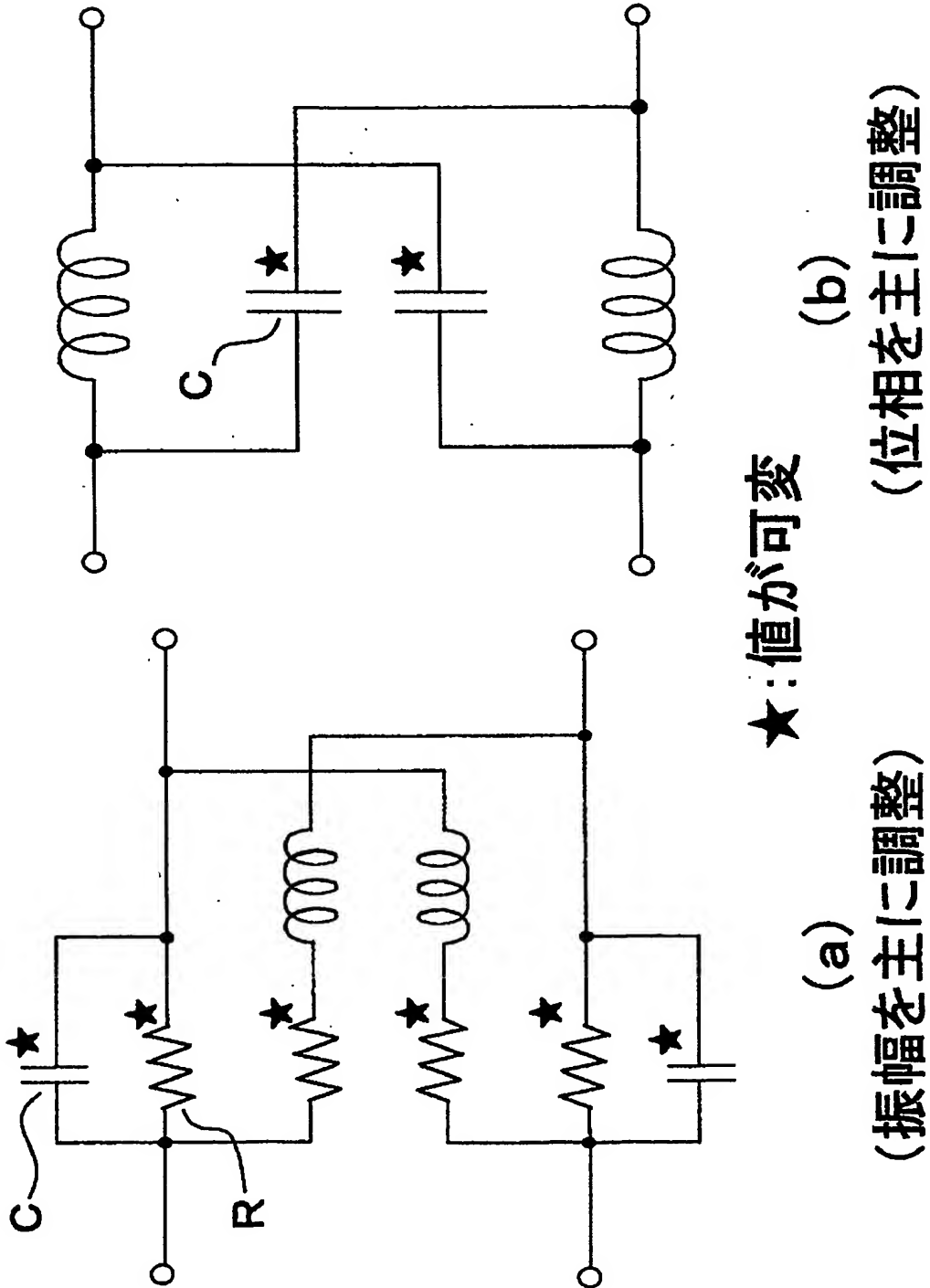
【図 33】

等化による高速データ伝送技術



【図 3 4】

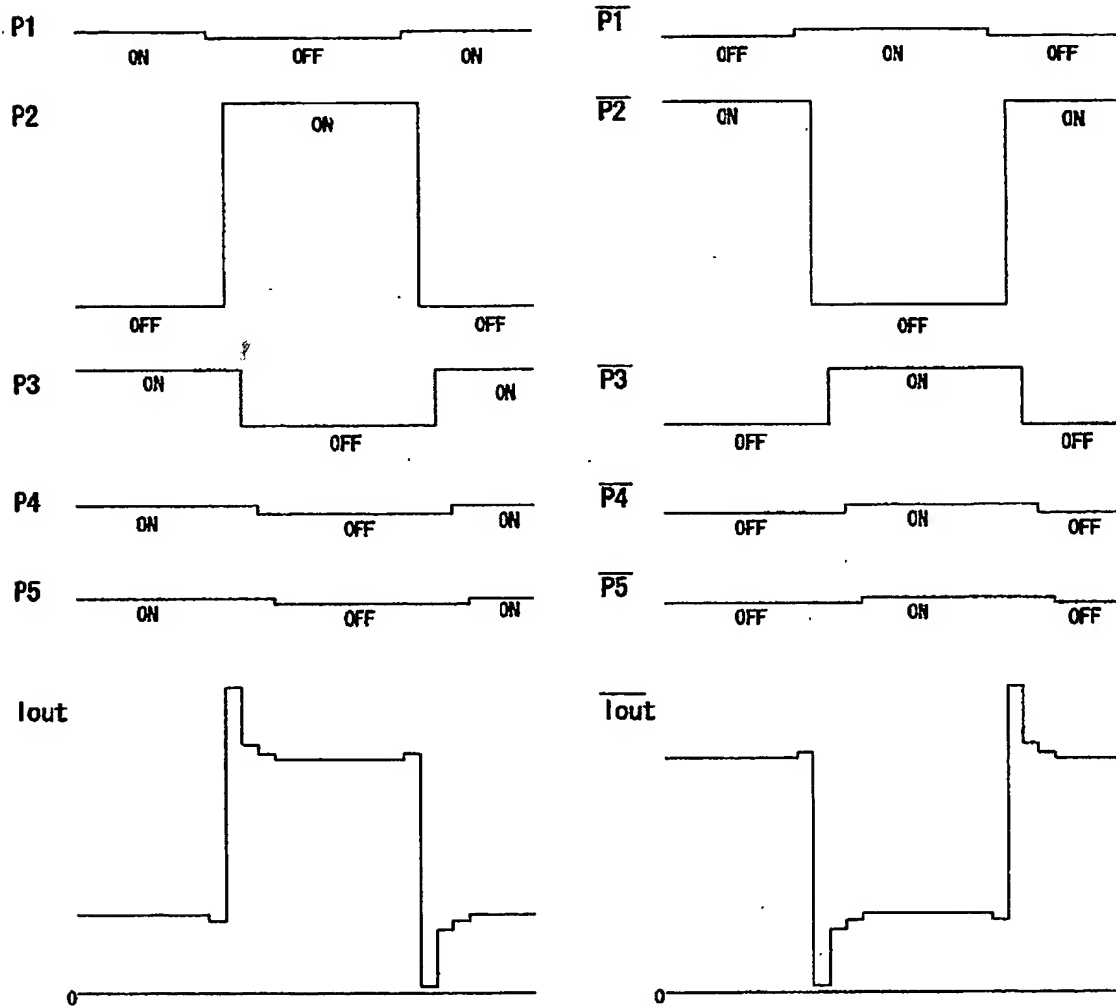
波形を周波数軸上で調整する回路(2種)



【図 3 6】

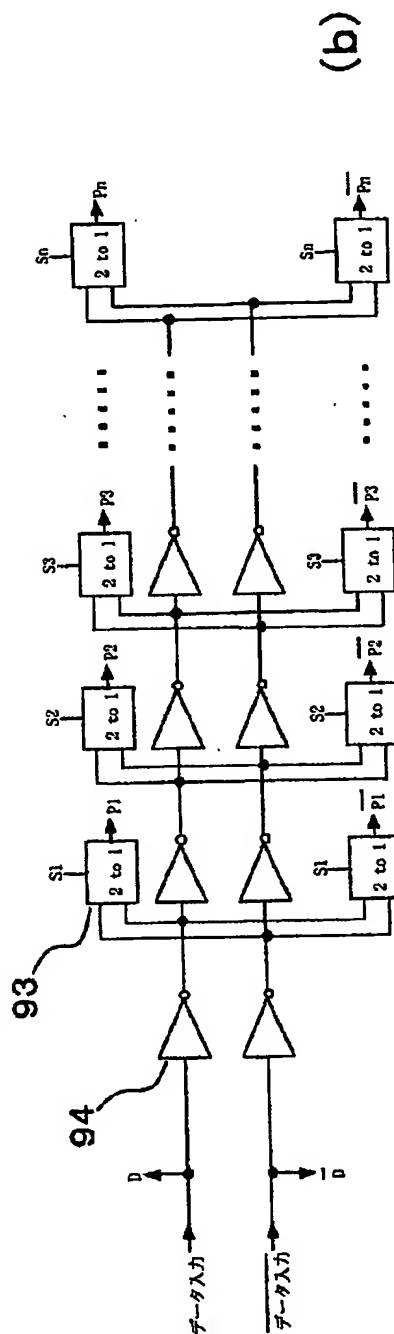
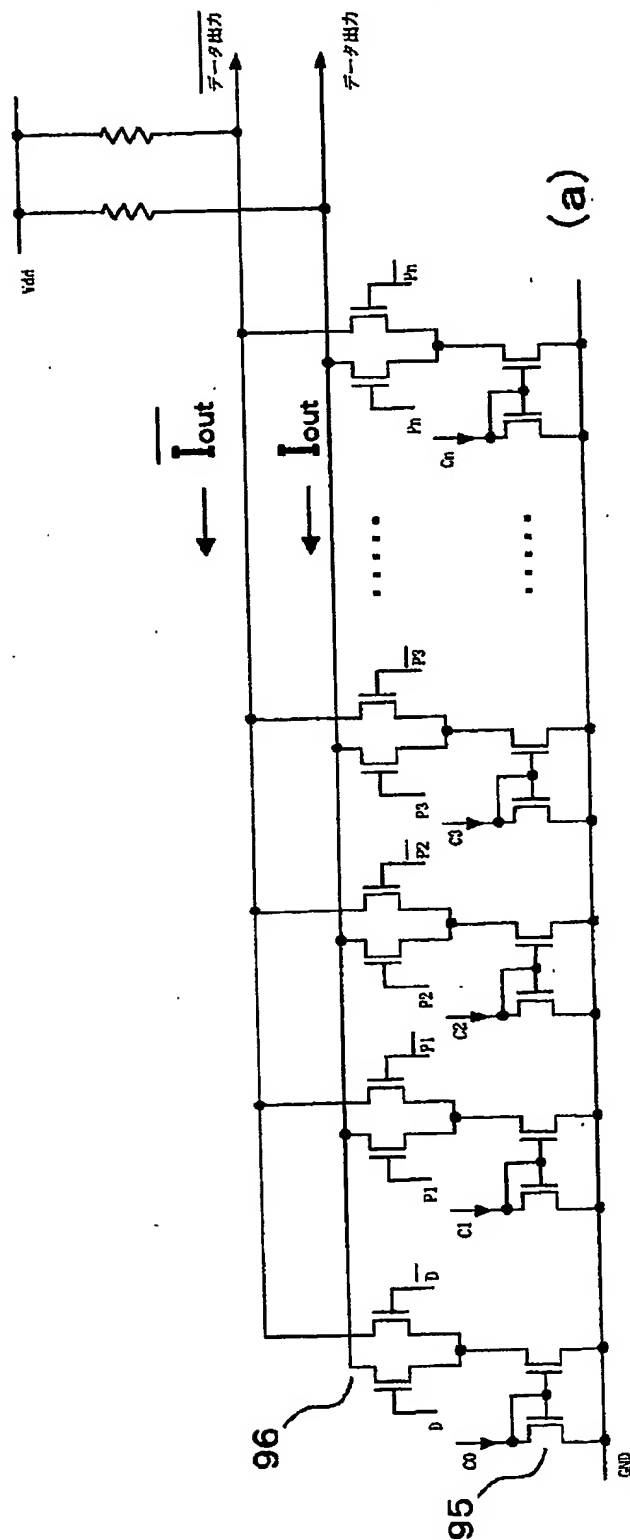
図33において、波形を時間軸上で調整する場合の
各スイッチの電流波形と出力電流波形を示す図

各スイッチの電流波形と、それぞれの電流を合計した I_{out} の波形：



【図 3 7】

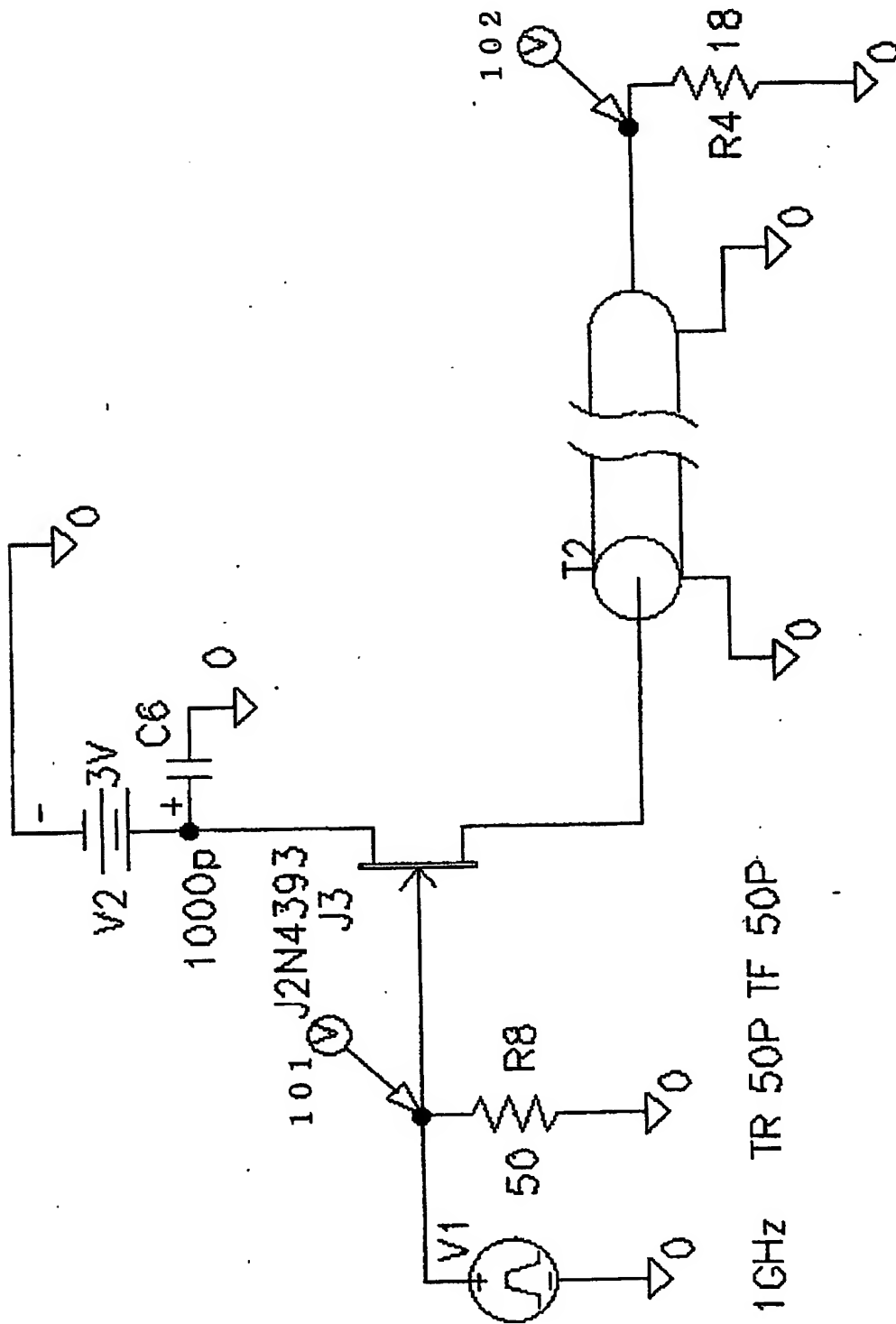
送信波形を時間軸上で調整する回路の実装例



C0～Cmは外部からアナログの電流値（直流）を与える。

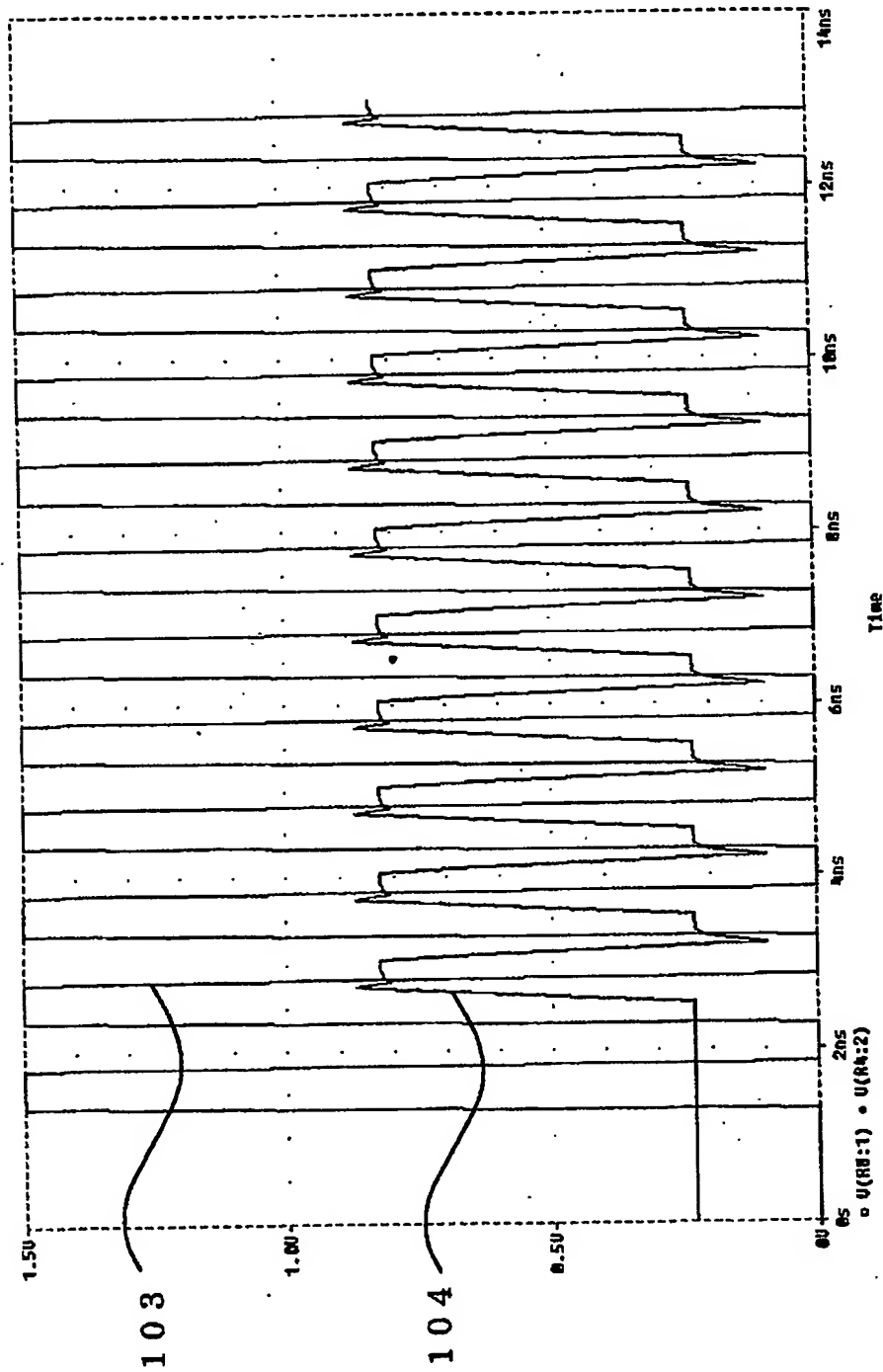
【図 38】

送端終端のみグランドに落とした FET1 個の基本スイッチ回路



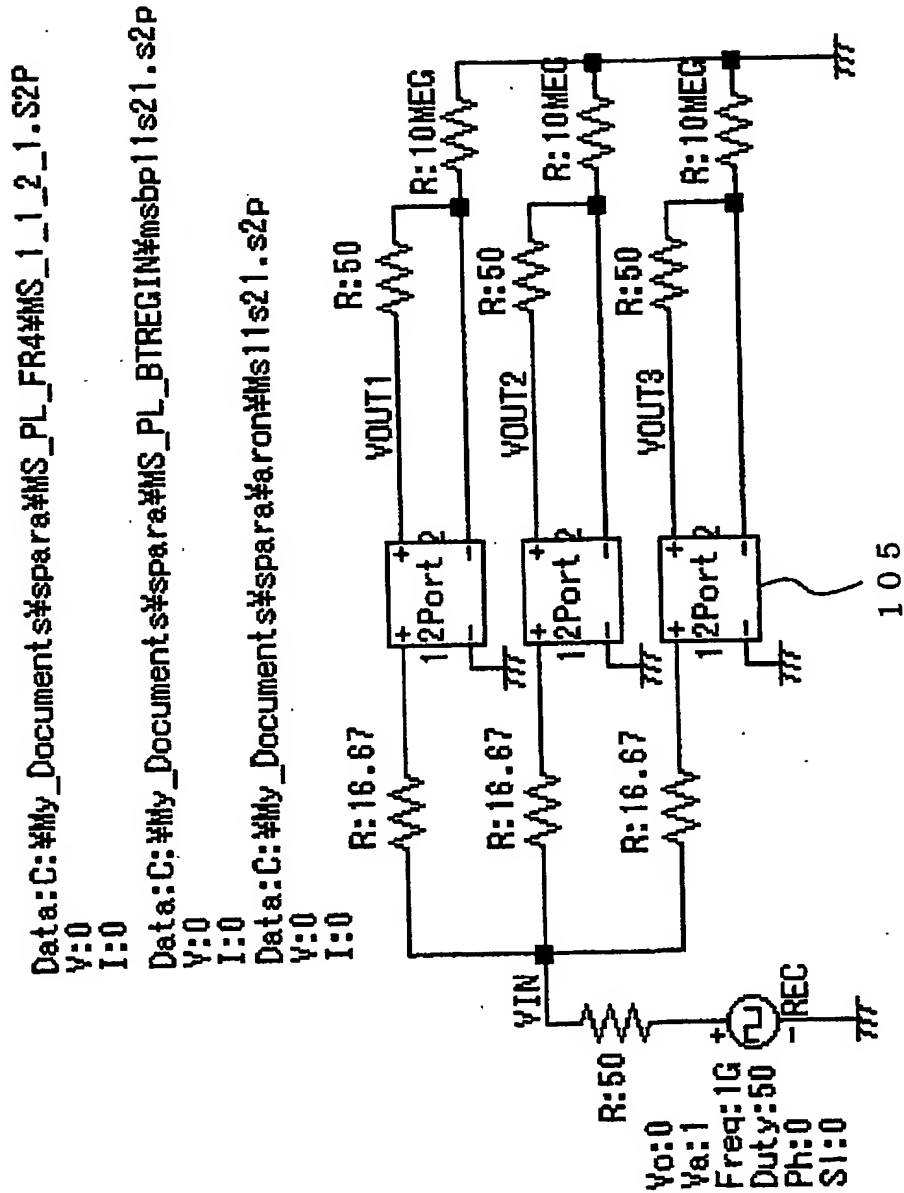
【図 39】

基本スイッチ回路の波形図



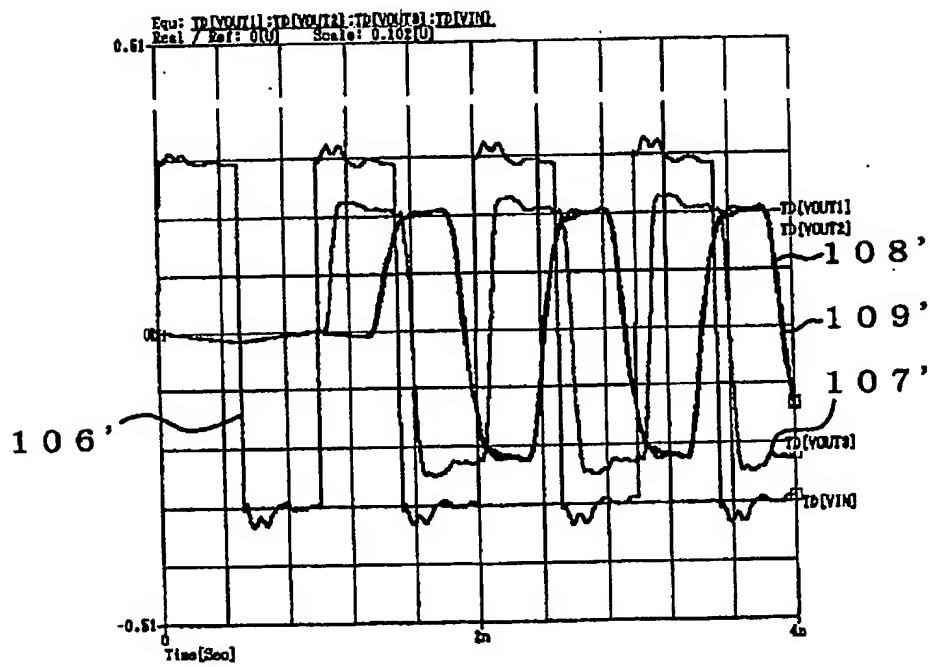
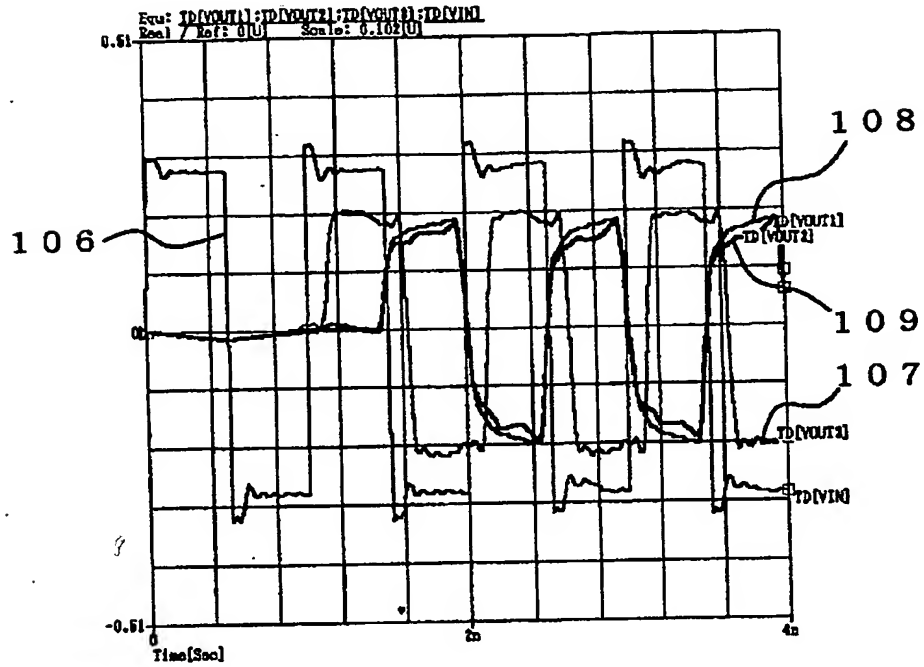
【図 40】

実測基板のトランジェント解析回路



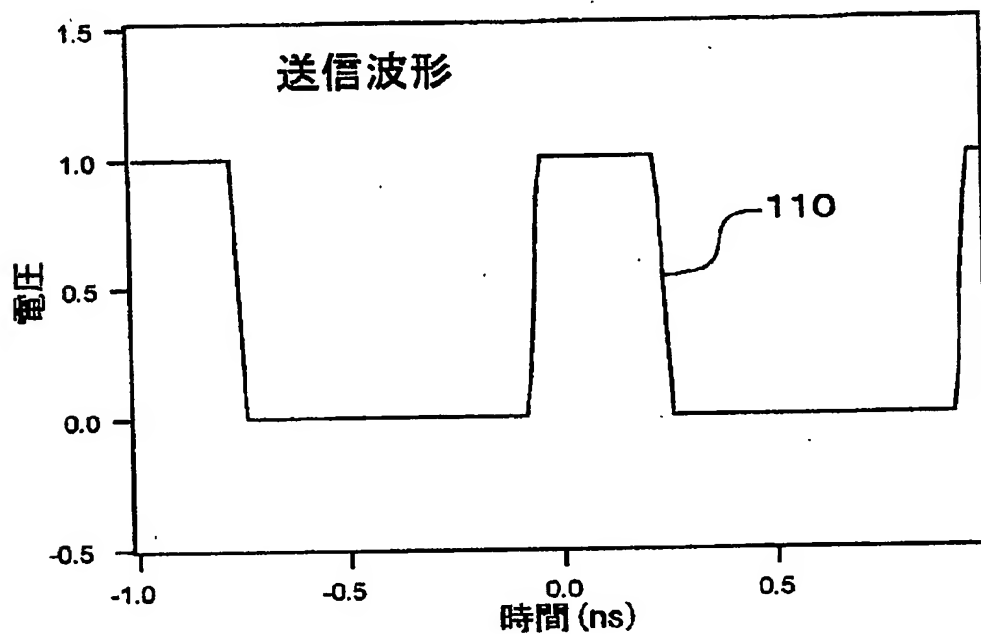
【図 4 1】

実測基板のトランジェント解析回路の結果

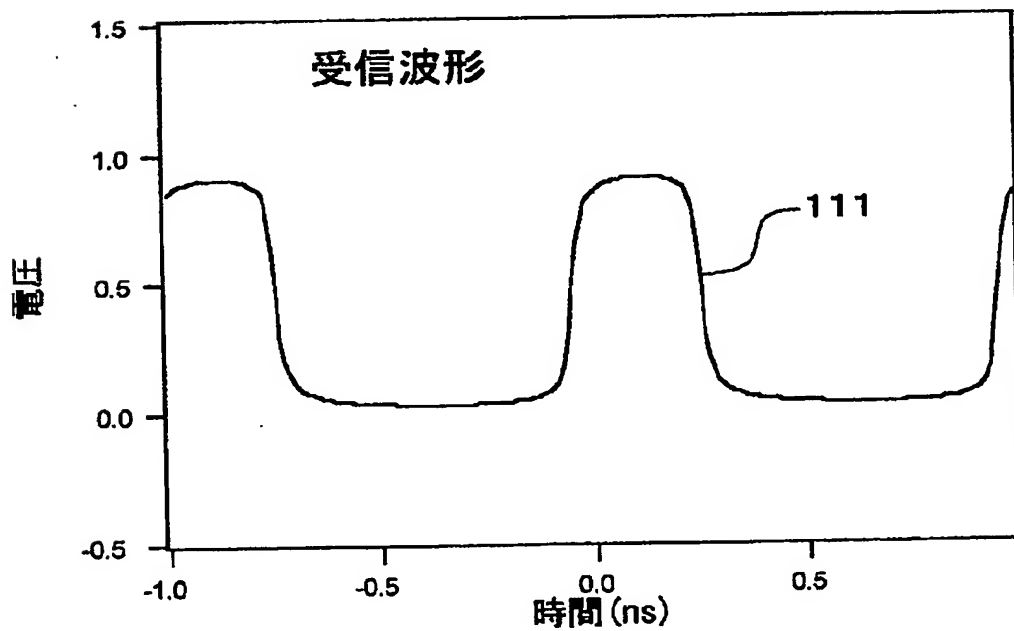


【図 4 2】

波形整形を行わない場合の送信波形と受信波形を示す図



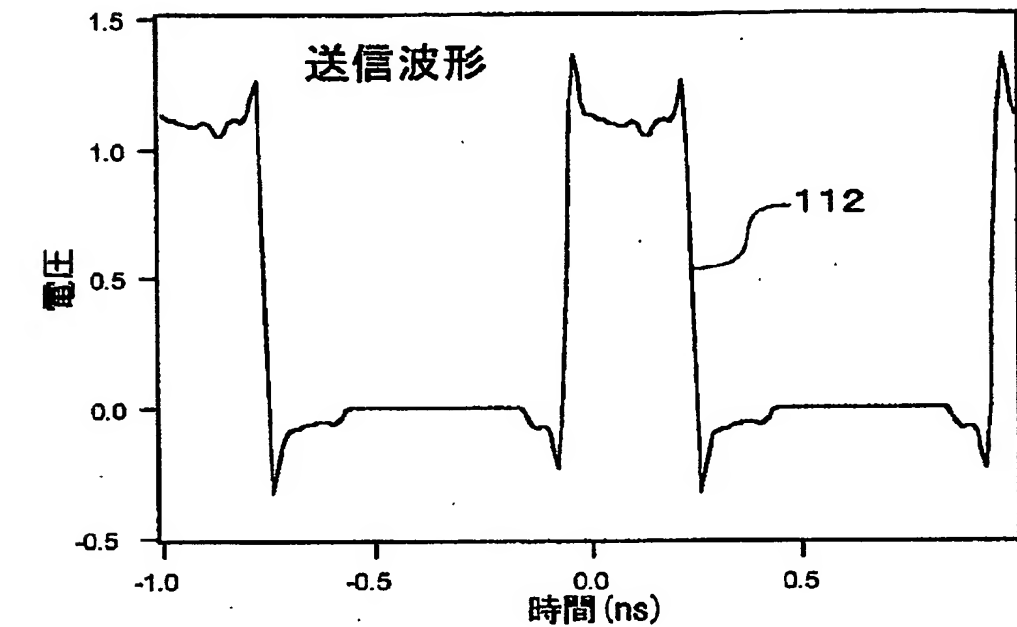
(a)



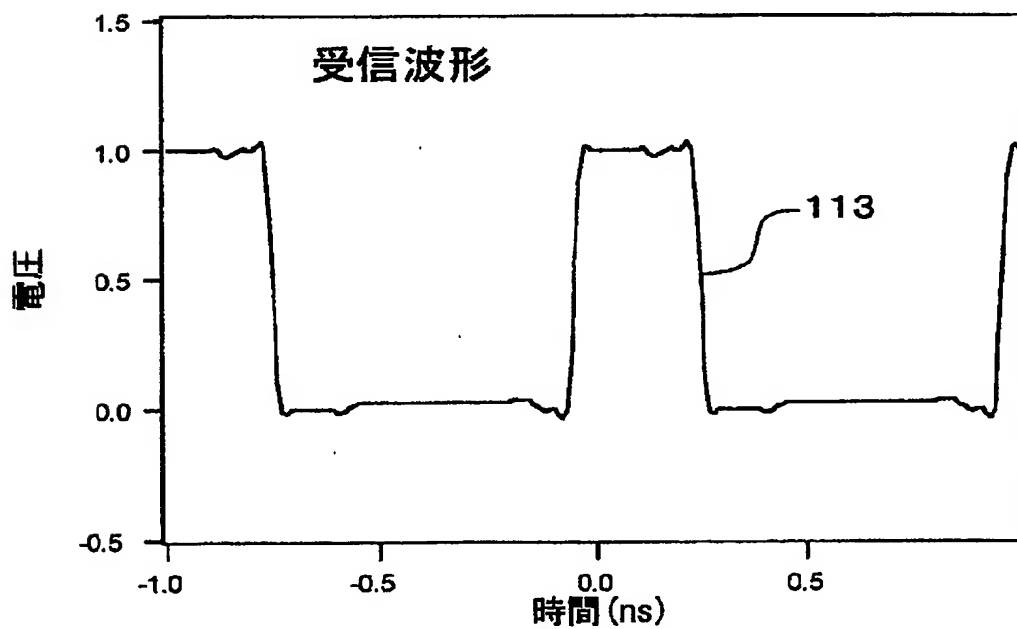
(b)

【図 4 3】

図 3 3 の波形整形を行った場合の送信波形と受信波形を示す図



(a)



(b)

【書類名】 要約書

【要約】

【課題】 本発明は、2GHz以上の高速なLSIチップと接続され、該LSIチップと信号のやり取りをするチップ外線路に数十GHz帯デジタル高速信号を通すことである。

【解決手段】 本発明の高速信号伝送システムは、トランジスタキャリアのポンプアップ、ポンプダウンを自動的に行うデバイス構造、受信情報をフィードバックし、送信側で波形調整する遺伝的アルゴリズム回路の挿入、トランジスタから出て行く配線の伝送線路化、回路のコモン電源を排除した構成を作る。上記チップ外線路の送端または終端側の一方で基準電位を確認するため電源またはグランドへの接続を有するが、該基準電位を確認した送端または終端側の反対側の終端または送端では電源またはグランドへの接続を有さない。

【選択図】 図2

認定・付加情報

特許出願の番号	特願 2002-118633
受付番号	50200578440
書類名	特許願
担当官	佐々木 吉正 2424
作成日	平成14年 4月24日

<認定情報・付加情報>

【特許出願人】

【識別番号】	598042633
【住所又は居所】	東京都東大和市湖畔2-1074-38
【氏名又は名称】	大塚 寛治

【特許出願人】

【識別番号】	301021533
【住所又は居所】	東京都千代田区霞が関1-3-1
【氏名又は名称】	独立行政法人産業技術総合研究所

【代理人】

【識別番号】	100106851
【住所又は居所】	東京都千代田区二番町8番地の20 二番町ビル
【氏名又は名称】	野村 泰久

出 願 人 履 歴 情 報

識別番号

[598042633]

1. 変更年月日

1998年 3月31日

[変更理由]

新規登録

住 所

東京都東大和市湖畔2-1074-38

氏 名

大塚 寛治

出 願 人 履 歴 情 報

識別番号 [301021533]

1. 変更年月日	2001年 4月 2日
[変更理由]	新規登録
住 所	東京都千代田区霞が関1-3-1
氏 名	独立行政法人産業技術総合研究所

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.